OIPE JC109
SEP 25 2003
PATENT & TRADEMARK OFFICE

501.35437CV2

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants:	M. YOSHIDA et al.
Application No.:	09/416,959
Filed:	October 13, 1999
For:	SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND PROCESS FOR MANUFACTURING THE SAME
Art Unit:	2812
Examiner:	R. Pompey

SUBMISSION OF SWORN TRANSLATION OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

September 25, 2003

Sir:

In accordance with the provisions of MPEP 201.15, Applicants are submitting herewith a sworn translation of Japanese priority document JPA-8-137957, duly filed in Japan on May 31, 1996, in order to overcome the use of USP 5,748,521 as a reference in the above-identified application. U.S. Patent 5,748,521 to Lee was relied on in the Office Action dated June 30, 2003 in rejecting claims of this application. Inasmuch as the U.S. filing date of November 6, 1996 for the Lee patent is subsequent to the May 31, 1996 Japanese filing date of the priority document to which the present application is entitled to benefit under 35 U.S.C. § 119, entry of this sworn translation and removal of U.S. Patent 5,748,521 as a reference is respectfully requested.

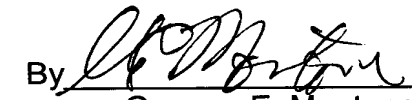
With regard to this, it is noted that benefit of foreign priority and a certified copy the Japanese priority document have been filed in the parent application serial number 08/865,864 (now U.S. Patent 5,981,369) on May 30, 1997.

If the Examiner believes that there are any other points which may be clarified or otherwise disposed of either by telephone discussion or by personal interview, the Examiner is invited to contact Applicants' undersigned attorney at the number indicated below.

To the extent necessary, Applicants petition for an extension of time under 37 CFR 1.136. Please charge any shortage in fees due in connection with the filing of this paper, including extension of time fees, to the Deposit Account No. 01-2135 (Case No. 501.35437CV2), and please credit any excess fees to such Deposit Account.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

By 

Gregory E. Montone
Reg. No. 28,141

GEM/dlt

1300 North Seventeenth Street, Suite 1800
Arlington, Virginia 22209
Telephone: (703) 312-6600
Facsimile: (703) 312-6666

DECLARATION

I, Nagomi TSUCHIDA , a national of Japan, c/o Central Research Laboratory, Hitachi, Ltd., 280 1-chome, Higashi-Koigakubo, Kokubunji-shi, Tokyo, Japan declare that I am familiar with both the English and Japanese languages, that to the best of my knowledge and belief the following is a true and accurate translation of Japanese Patent Application, Serial No. 137957 of 1996 and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment or both, under Section 1001 of Title 18 of the United States Code, and may Jeopardize the validity of the application or any patent issuing thereon.

Dated this 19 day of 9 , 2003

Nagomi Tsuchida

Translator Nagomi TSUCHIDA

[Document's Name] Application for Patent

[Reference Number] H96008961

[Submission Date] May 31, 1996

[Destination] Director-General of the Japanese Patent Office

[International Patent Classification] H01L 21/10

[Title of the Invention] SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE MANUFACTURING PROCESS

[Inventor]

[Address or Residence] c/o Device Development Center, Hitachi, Ltd., 2326 Imai, Ome-shi, Tokyo-to, 198-8512 Japan

[Name] Makoto YOSHIDA

[Inventor]

[Address or Residence] c/o Device Development Center, Hitachi, Ltd., 2326 Imai, Ome-shi, Tokyo-to, 198-8512 Japan

[Name] Takahiro KUMAUCHI

[Inventor]

[Address or Residence] c/o Device Development Center, Hitachi, Ltd., 2326 Imai, Ome-shi, Tokyo-to, 198-8512 Japan

[Name] Yoshitaka TADAKI

[Inventor]

[Address or Residence] c/o Device Development Center, Hitachi, Ltd., 2326 Imai, Ome-shi, Tokyo-to, 198-8512 Japan

[Name] Kazuhiko KAJIGAYA

[Inventor]

[Address or Residence] c/o Device Development Center, Hitachi, Ltd., 2326 Imai, Ome-shi, Tokyo-to, 198-8512 Japan

[Name] Hideo AOKI

[Inventor]

[Address or Residence] c/o Device Development Center, Hitachi, Ltd., 2326 Imai, Ome-shi, Tokyo-to, 198-8512 Japan

[Name] Isamu ASANO

[Applicant]

[Identification No.] 000005108

[Name or Title] Hitachi, Ltd.

[Representative] Tsutomu KANAI

[Agent]

[Identification No.] 100080001

[Patent Attorney]

[Name or Title] Yamato TSUTSUI

[Telephone No.] 03-3366-0787

[Representation of Fee]

[Ledger Number for Prepayment] 006909

[Amount of payment] ¥21000

[Contents of Submitted Documents]

[Name of Document] Specification 1

[Name of Document] Drawing 1

[Name of Document] Abstract 1

[Requirement for Proof] Yes.

[Document's Name] SPECIFICATION

[Title of the Invention] SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE MANUFACTURING PROCESS

[Claims]

[Claim 1] A process for manufacturing a semiconductor integrated circuit device including a MISFET, characterized in that all conductive films to be deposited on a semiconductor substrate are deposited at a temperature of 500°C or lower at a step after said MISFET has been formed.

[Claim 2] A semiconductor integrated circuit device manufacturing process according to Claim 1, characterized in that said conductive films are made of a metal or its compound.

[Claim 3] A semiconductor integrated circuit device manufacturing process according to Claim 2, characterized in that said metal is tungsten, aluminum, titanium or copper, and said metal compound is titanium nitride.

[Claim 4] A process for manufacturing a semiconductor integrated circuit device including a MISFET, characterized in that all insulating films to be deposited on a semiconductor substrate are deposited at a temperature of 500°C or lower at a step after said MISFET has been formed.

[Claim 5] A semiconductor integrated circuit device manufacturing process according to Claim 4, characterized in that said insulating films are either silicon oxide films

deposited by a plasma CVD method or silicon nitride films deposited by a plasma CVD method.

[Claim 6] A semiconductor integrated circuit device manufacturing process according to Claim 4, characterized in that the surfaces of said insulating films are flattened by a chemical-mechanical polishing method.

[Claim 7] A process for manufacturing a semiconductor integrated circuit device including a MISFET, comprising:

a first step of forming a MISFET in an active region over a semiconductor substrate after an element isolating region has been formed over said semiconductor substrate; and

a second step of forming a wiring line by depositing an insulating film and a conductive film over said MISFET,

characterized in that the upper limit of the heat treatment temperature at said second step is made lower than that of the heat treatment temperature at said first step.

[Claim 8] A semiconductor integrated circuit device manufacturing process according to Claim 7, characterized in that the heat treatment temperature at said second step is made lower for the later steps.

[Claim 9] A semiconductor integrated circuit device manufacturing process according to Claim 1, characterized in that said semiconductor integrated circuit device comprises a DRAM including a memory cell in which a bit line

is arranged over a memory cell selecting MISFET whereas an information storing capacitive element is arranged over said bit line.

[0001]

[Technical Field to which the Invention Pertains]

The present invention relates to a technique for manufacturing a semiconductor integrated circuit device and more particularly to a technique which is effective if applied to a manufacture of a semiconductor integrated circuit device having MISFETs (Metal Insulator Semiconductor Field Effect Transistors).

[0002]

[Prior Art]

The LS1, represented by a large capacity DRAM of recent years, is encountered by a serious problem of a high cost raised by the increase in the number of steps, because its manufacture process is complicated more as its integration, speed and function grow higher. In accordance with this, the number of depositing insulating films and conductive films over a semiconductor substrate at a temperature of 700 to 900°C is increased to make it difficult to achieve a high performance for the MISFETs by realizing a shallow junction. Moreover, the increase in the wiring resistance resulting from the miniaturization raises an obstruction to the speedup.

[0003]

[Problems to be Solved by the Invention]

An object of the present invention is to provide a technique capable of reducing the number of heat treatment steps in a process for manufacturing a semiconductor integrated circuit device having MISFETs.

[0004]

Another object of the present invention is to provide a technique capable of simplifying the process for manufacturing a semiconductor integrated circuit device having MISFETs.

[0005]

Another object of the present invention is to provide a technique capable of lowering the wiring resistance of a semiconductor integrated circuit device having MISFETs.

[0006]

The aforementioned and other objects and novel features of the present invention will become apparent from the following description to be made with reference to the accompanying drawings.

[0007]

[Means for Solving the Problems]

Representatives of the aspects of the invention, as disclosed herein, will be briefly described in the following.

[0008]

(1) By a process for manufacturing a semiconductor integrated circuit device of the present invention, all conductive films to be deposited over a semiconductor substrate are deposited at a temperature of 500°C or lower at a step after formation of MISFETs.

[0009]

(2) By a process for manufacturing a semiconductor integrated circuit device of the present invention, all conductive films to be deposited over a semiconductor substrate are made of a metal or its compound.

[0010]

(3) By a process for manufacturing a semiconductor integrated circuit device of the present invention, all insulating films to be deposited over a semiconductor substrate are deposited at a temperature of 500°C or lower at a step after formation of MISFETs.

[0011]

[Preferred Embodiments]

The embodiments of the present invention will be described in detail with reference to the accompanying drawings. Throughout the drawings for explaining the embodiments the parts or portions having the same functions are designated by the same reference numerals, and their repeated description will be omitted.

[0012]

(Embodiment 1)

The present embodiment is applied to a process for manufacturing a DRAM having memory cells of stacked capacitor structure, in which information storing capacitive elements (capacitors) are arranged over memory cell selecting MISFETs.

[0013]

For manufacturing this DRAM, first of all, there is prepared a semiconductor substrate 1 which is made of a p^--type single crystal silicon having a specific resistance of about 10 Ω·cm, as shown in Fig. 1. The surface of the semiconductor substrate 1 is oxidized to form a thin silicon oxide film 43, and a silicon nitride film 44 is deposited over the silicon oxide film 43 by a CVD method. This silicon nitride film 44 is etched by using a photoresist as a mask to remove the silicon nitride film 44 from an element isolating region.

[0014]

Next, as shown in Fig. 2, the semiconductor substrate 1 is annealed at a temperature of about 1,000°C by using the silicon nitride film 44 as a mask, to form a field oxide film 2 having a thickness of about 400 nm.

[0015]

Next, the silicon nitride film 44 is removed, and the

semiconductor substrate 1 at the regions to form a memory array and to form n-channel MISFETs of a peripheral circuit is doped with ions of a p-type impurity (boron (B)), as shown in Fig. 3, to form a p-type well 3. Moreover, the semiconductor substrate 1 at the region to form p-channel MISFETs of a peripheral circuit is doped with ions of an n-type impurity (phosphor (P)) to form an n-type well 4. Subsequently, the p-type well 3 is doped through the field oxide film 2 with boron (B) ions of a p-type impurity to form a p-channel stopper layer 5 below the field oxide film 2, and the n-type well 4 is doped through the field oxide film 2 with phosphor (P) ions of an n-type impurity to form an n-type channel stopper layer 6 below the field oxide film 2. After this, the surf aces of the individual active regions of the p-type well 3 and the n-type well 4, enclosed by the field oxide film 2, are thermally oxidized at a temperature of about 800°C to form a gate oxide film 7 having a thickness of about 8 nm.

[0016]

Next, as shown in Fig. 4, there are formed gate electrodes 8A (word lines WL) for the memory cell selecting MISFETs, gate electrodes 8B of the n-channel MISFETs of the peripheral circuit, and gate electrodes 8C of the p-channel MISFETs. These gate electrodes 8A (word lines WL) and the gate electrodes 8B and 8C are simultaneously formed by

depositing a tungsten (W) film having a thickness of about 150 nm at a filming temperature of about 475°C over the semiconductor substrate 1 by a CVD method, by depositing a silicon nitride film 9 having a thickness of about 250 nm at a filming temperature of about 360°C over the W film by a plasma CVD method, and by patterning those films by an etching method using a photoresist as the mask.

[0017]

Next, as shown in Fig. 5, the p-type well 3 is coped with ions of an n-type impurity such as phosphor (P) or arsenic (As) by using the (not-shown) photo-resist mask for exposing the NMOS forming region to the outside, and the n-type well 4 is doped with boron (8) ions of a p-type impurity by using the (not-shown) photoresist mask for exposing the PMOS forming region to the outside. By the subsequent annealing step, the n-type impurity (P) forms n-type semiconductor regions 11 (a source region and a drain region) of the memory cell selecting MISFETs and n--type semiconductor region of the n-channel MISFETs of the peripheral circuit in self-alignment with the gate electrodes 8A and 8B, and the p-type impurity (B) forms p'-type semiconductor region 14 of the p-channel MISFETs of the peripheral circuit in self-alignment with the gate electrodes 8C.

[0018]

Next, as shown in Fig. 6, side wall spacers 10 are formed at the individual side walls of the gate electrode 8A (word lines WL) and gate electrodes 8B and 8C. After this, the p-type well 3 of the peripheral circuit is doped with ions of an n-type impurity such as arsenic (As) or phosphor (P) by using the (not-shown) photoresist mask covering the memory array region and the PMOS forming region of the peripheral circuit, and the n-type well 4 is doped with boron (B) ions of a p-type impurity by using the (not-shown) photoresist mask covering the memory array region and the NMOS forming region of the peripheral circuit. The side wall spacers 10 are formed by depositing a silicon nitride film having a thickness of about 100 nm at a filming temperature of about 360°C over the semiconductor substrate I by a plasma CVD method, and by working the silicon nitride film by an anisotropic etching method.

[0019]

Next/by annealing the semiconductor substrate 1 in a nitrogen atmosphere at about 900°C to diffuse the aforementioned n-type impurity (P) and p-type impurity, as shown in Fig. 7, there are formed the n-type semiconductor regions 11 (the source regions and the drain regions) of the memory cell selecting MISFETs, an n^--type semiconductor region 12 and an n^+-type semiconductor region 13 of the n-channel MISFETs of the peripheral circuit, and a p^--type

Semiconductor region 14 and a p^+-type semiconductor region 15 of the p-channel MISFETs. The n^+-type semiconductor region 13 and the p^+-type semiconductor region 15 are formed in self-alignment with the side wall spacers 10. In the peripheral circuit, the source regions and the drain regions of the n-channel MISFETs are individually constructed of an LDD (Lightly Doped Drain) structure composed of the n^--type semiconductor region 12 and the n^+-type semiconductor region 13, and the source regions and the drain regions of the p-channel MISFETs are individually constructed of an LDD structure composed of the p^--type semiconductor region 14 and the p^+-type semiconductor region 15.

[0020]

Next, as shown in Fig. 8, contact holes 17 and 18 for exposing a portion of the semiconductor region 11 to the outside are formed over the n-type semiconductor regions 11 (the source regions and the drain regions) of the n-type semiconductor regions 11 of the memory cell selecting MISFETs; contact holes 19 and 20 for exposing portions of the semiconductor regions 12 and 13 to the outside are formed over the n^+-type semiconductor regions 13 (the source regions and the drain regions) of the n-channel MISFETs of the peripheral circuit; and contact holes 21 and 22 for exposing portions of the semiconductor regions 14 and 15 to the outside are formed over the p^+-type semiconductor regions 15

(the source regions and the drain regions) of the p^+-type semiconductor regions 15 of the p-channel MISFETs, by depositing a silicon oxide film 16 having a thickness of about 500 nm at a filming temperature of about 390°C over the memory cell selecting MISFETs, the n-channel MISFETs and the p-channel MISFETs of the peripheral circuit by a plasma CVD method, by polishing the silicon oxide film 16 by a CMP (Chemical-Mechanical Polishing) method to flatten its surface, and by etching the silicon oxide film 15 and the gate oxide film 7 by using a photoresist as the mask.

[0021]

At this time, the silicon nitride film 9, formed over the gate electrodes 8A (the word lines WL) of the memory cell selecting MISFETs, and the side wall spacers 10 of silicon nitride, formed at the side walls, are slightly etched so that the contact holes 17 and 18 are formed in self-alignment with the side wall spacers. Likewise, the silicon nitride film 9, formed over the gate electrodes 8B of the n-channel MISFETs of the peripheral circuit and over the gate electrodes 8C of the p-channel MISFETs, and the side wall spacers 10 of silicon nitride, formed at the side walls, are slightly etched, so that the contact holes 19 to 22 are formed in self-alignment with the side wall spacers 10.

[0022]

The insulating film to be formed over the memory cell

selecting MISFETs and the n-channel MISFETs and p-channel MISFETs of the peripheral circuit should not be limited to the aforementioned silicon oxide film 16 but can be an ozone (O_3)-BPSG (Boron-doped Phospho Silicate Glass) film deposited at a filming temperature of about 450°C by a CVD method, or an ozone-TEOS (Tatra Ethoxy Silane) film deposited at a filming temperature of about 400°C by a CVD method. These insulating films are flattened at their surfaces by the chemical-mechanical polishing (CMP) method, as for the silicon oxide film 16.

[0023]

Next, as shown in Fig. 9, plugs 23, made of a multilayer film of titanium nitride (TIN) and W, are buried in the contact holes 17 to 22. These plugs 23 are formed by depositing a TiN film having a thickness of about 50 nm acting as an adhesive layer for the substrate and the W film over the silicon oxide film 16 by a sputtering method, by depositing the W film having a thickness of about 300 nm at a filming temperature of 475°C over the TiN film by a CVD method, and by etching back the W film and the TiN film.

[0024]

At this time, in order to reduce the contact resistance between the plugs 23 and the substrate, a Ti silicide ($TiSi_2$) film may be formed below the contact holes 17 to 22. This Ti silicide film is formed by depositing a Ti film having

a thickness of about 50 nm over the silicon oxide film 16 by a sputtering method, by causing the Ti film and the semiconductor substrate below the contact holes 17 to 22 to react by annealing them at a temperature of about 800°C, and by wet-etching off the Ti film left unreacted over the silicon oxide film 16. After this, the TiN film and W film, deposited over the silicon oxide film 16, are etched back to form the plugs 23.

[0025]

Next, as shown in Fig, 10, bit lines BL_1 and BL_2 and wiring lines 24A and 24B of the peripheral circuit are formed over the silicon oxide film 16. These bit lines BL_1 and BL_2 and the wiring lines 24A and 24B are simultaneously formed by depositing a W film having a thickness of about 300 nm at a filming temperature of about 475°C over the silicon oxide film 16 by a plasma CVD method, by depositing a silicon nitride film 25 having a thickness of about 200 nm at a filming temperature of about 360°C over that W film by a plasma CVD method, and by etching and patterning those films by using a photoresist as the mask.

[0026]

The bit line BL^ is electrically connected through the aforementioned contact hole 17 with one of the source region and the drain region (the n-type semiconductor regions 11) of the memory cell selecting MISFET. The bit line BL_2 is

extended from the memory array region to the peripheral circuit region and is electrically connected through the aforementioned contact hole 19 with one of the source region and the drain region (the n^+-type semiconductor regions 13) of an n-channel MISFET Qn of the peripheral circuit.

[0027]

One end of the wiring line 24A of the peripheral circuit is electrically connected through the contact hole 20 with the other (the n^+-type semiconductor region 13) of the source region and the drain region of the n-channel MISFET, and the other end of the wiring line 24A is electrically connected through the contact hole 21 with one of the source region and the drain region (the p^+-type semiconductor regions 15) of the p-channel MISFET. The wiring line 24B is electrically connected through the contact hole 22 with the other (the p^+-type semiconductor region 15) of the source region and the drain region of the p-channel MISFET.

[0028]

Next, as shown in Fig. 11, side wall spacers 26 are formed at the individual side walls of the bit lines BL_1 and BL_2 and the wiring lines 24A and 24B. These side wall spacers 28 are formed by depositing a silicon nitride film having a thickness of about 100 nm at a filming temperature of about 360°C over the silicon oxide film 16 by a plasma CVD method, and by working the silicon nitride film by an anisotropic

etching method.

[0029]

Next, as shown in Fig. 12, contact holes 28 for exposing the plugs 23 in the contact holes 18 to the outside are formed over the contact holes 18, formed to expose the upper portion of one of the n-type semiconductor regions 11 (the source region and the drain region) of the memory cell selecting MISFET, by depositing a silicon oxide film 27 having a thickness of about 500 nm at a filming temperature of about 390°C over the bit lines BL_1 and BL_2 and the wiring lines 24A and 24B by a plasma CVD method, by polishing the silicon oxide film 27 by a chemical mechanical polishing (CMP) method to flatten its surface, and by etching the silicon oxide film 27 by using a photoresist as the mask. At this time, the silicon oxide film 25, formed over the bit line BL_1, and the side wall spacers 26 of silicon nitride, formed at the side walls, are slightly etched so that the contact holes 28 are formed in self-alignment with the side wall spacers 26.

[0030]

The insulating film to be deposited over the bit lines BL_1 and BL_2 and the wiring lines 24A and 24B should not be limited to the aforementioned silicon oxide film 27 but can be the aforementioned ozone-BPSG film or ozone-TEOS film, or an SOG (Spin On Glass) film. The ozone-BPSG film or ozone-TEOS film is flattened, if employed, on its surface

by a chemical mechanical polishing (CMP) method as for the silicon oxide film 27.

[0031]

Next, as shown in Fig. 13, W plugs 30 are buried in the contact holes 28, and storage electrodes (lower electrodes) 32 of information storing capacitive elements are formed over the contact holes 28. The W plugs 30 are formed by depositing a W film having a thickness of about 300 nm at a filming temperature of about 500°C over the silicon oxide film 27 by a CVD method, and by etching back the W film. The storage electrodes 32 are formed by depositing a W film having a thickness of about 500 nm at a filming temperature of about 475°C over the silicon oxide film 27 by a CVD method, and by pattering the W film by using a photoresist as the mask. The W film constituting the plugs 30 is deposited at a higher filming temperature (500°C) than that (475°C) of the W film constituting the storage electrodes 32, because it is required to retain the coverage of the inside of the contact holes 28.

[0032]

Next, as shown in Fig. 14, there are formed over the storage electrodes 32, a capacitor insulating film 33 and plate electrodes (upper electrodes) 34 of the information storing capacitive elements. The capacitor insulating film 33 and the plate electrodes 34 are simultaneously formed by

depositing a Ta_2O_5 film having a thickness of about 15 nm at a filming temperature of about 400 to 480°C over the storage electrodes 32 by a CVD method, by depositing a TIN film having a thickness of about 150 nm over the Ta_2O_5 film by a sputtering method, and by etching and patterning those films by using a photoresist as the mask. As a result, there is formed an information storing capacitive element C of the memory cell, which is composed of the storage electrode 32, the capacitor insulating film 33 and the plate electrode 34.

[0033]

Next, as shown in Fig. 15, a contact hole 36 is formed over the plate electrode 34 of the information storing capacitive element C by depositing a silicon oxide film 35 having a thickness of about 500 run at a filming temperature of about 390°C over the information depositing capacitive element C by a plasma CVD method, and by etching the silicon oxide film 35 by using a photoresist as the mask. Simultaneously with this, a contact hole 37 is formed over the wiring line 24A of the peripheral circuit, and a contact hole 38 is formed over the wiring line 24B, by etching the silicon oxide film 35, the silicon oxide film 27 and the Silicon nitride film 25. The insulating film to be deposited over the information storing capacitive element C should not be limited to the aforementioned silicon oxide film 35 but can be a three-layered insulating film in which a

spin-on-glass film is sandwiched between the two silicon oxide films 35.

[0034]

Next, as shown in Fig. 16, wiring lines 39A, 39B, 39C and 39D are formed over the silicon oxide film 35. These wiring lines 39A, 39B, 39C and 39D are simultaneously formed by depositing a TiN film having a thickness of about 50 nm, an Al (aluminum) alloy film having a thickness of about 500 nm and a TiN film having a thickness of about 10 nm over the silicon oxide film 35 at a substrate temperature of 300 to 350°C by a sputtering method, and etching and patterning those films by using a photoresist as the mask. By the steps thus far described, the DRAM of the present embodiment is substantially completed.

[0035]

By the DRAM manufacturing process of the present embodiment, at the step after the individual source regions and drain regions of the memory cell selecting MISFET and the n-channel MISFET and the p-channel MISFET of the peripheral circuit have been formed, the wiring conductive film and the insulating film are deposited at a temperature of 500°C or lower, so that the diffusion of the impurity into the substrate by the high-temperature heat treatment can be suppressed to realize a shallow junction between the source regions and the drain rations thereby to enhance the high

performance of the DRAM.

[0036]

By the DRAM manufacturing process of the present embodiment, all the wiring conductive films are made of metal materials (W or A£) or the metal compound material (TiN) so that the wiring resistance which may rise because of the miniaturization, can be lowered to increase the speedup of the DRAM. The wiring conductive film should not be limited to the material employed in the present embodiment but can be made of Ti or copper (Cu), for example.

[0037]

(Embodiment 2)

In the foregoing Embodiment 1, the gate electrodes 8A of the memory cell selecting MISFET and the gate electrodes 8B of the n-channel MISFET and the gate electrodes 8C of the p-channel MISFET of the peripheral circuit are individually composed of the tungsten (W) film which is deposited at the filming temperature of about 475°C. In the present embodiment, however, the gate electrodes 8A (the word lines WL) and the gate electrodes 8B and 8C are composed of a multilayer film of a polycrystalline silicon film, a titanium nitride (TIN) film and a tungsten (W) film, as shown in Fig. 17.

[0038]

In this case, the polycrystalline silicon film having

a thickness of about 250 nm is deposited at first at a filming temperature of about 540°C by a CVD method, and the titanium nitride (TiN) having a thickness of about 50 nm for an adhesive layer between the polycrystalline silicon film and the tungsten (W) film is then deposited over the polycrystalline silicon film by a sputtering method. The polycrystalline silicon film is doped with an n-type impurity or phosphor (P) of about 1.5×10^{20} cm^{-3}.

[0039]

Next, the gate electrodes 8A (the word lines WL) and the gate electrodes 8B and 8C are simultaneously formed by depositing a W film having a thickness of about 100 run at a filming temperature of about 475°C over the TIN film by a CVD method, by depositing the silicon nitride film 9 having a thickness of about 250 nm at a filming temperature of about 360°C over the W film by a plasma CVD method, and by etching and patterning the silicon nitride film 9, the W film, the TIN film and the polycrystalline silicon film by using a photoresist as the mask. The other steps are identical to those of foregoing Embodiment 1, and a DRAM is completed by applying the steps after the step of forming the gate electrodes 8A, 8B and 8C.

[0040]

By the DRAM manufacturing process of the present embodiment, the wiring conductive film and the insulating

film are deposited at a temperature of 500°C or lower after the individual source regions and drain regions of the memory cell selecting MISFET and the n-channel MISFET and the p-channel MISFET of the peripheral circuit have been formed, so that the high performance of the DRAM can be enhanced.

[0041]

By the DRAM manufacturing process of the present embodiment, the high speed of the DRAM can be increased as in Embodiment 1 by making all the wiring conductive films of a material containing a metal material or a metal compound.

[0042]

(Embodiment 3)

In order to manufacture a DRAM of the present embodiment, as shown in Fig. 18, the surface of the semiconductor substrate 1 of p^--type single crystal silicon is thermally oxidized at first to form a thin silicon oxide film 43, and a silicon nitride film 44 is then deposited over the silicon oxide film 43 by a CVD method. The silicon nitride film 44 is etched by using a photoresist as the mask, and it is removed from the element isolating region.

[0043]

Next, as shown in Fig. 19, the semiconductor substrate 1 at the element isolating region is etched by using the silicon nitride film 44 as the mask to form shallow grooves

52 having a depth of about 0.35 μm, and a silicon oxide film 53 having a thickness of about 10 nm is then formed in the Shallow groove 52.

[0044]

Next, as shown in Fig. 20, a silicon oxide film 54 is buried in the shallow groove 52. In order to bury the silicon oxide film 54 in the shallow groove 52, the silicon oxide film 54 having a thickness of about 600 nm is deposited over the semiconductor substrate 1 by a CVD method and is then polished by a chemical-mechanical polishing (CMP) method. After this, the silicon nitride film 44, left over the semiconductor substrate 1, is etched off.

[0045]

Next, as shown in Fig. 21, a p-type well 3 is formed by doping the semiconductor substrate 1 with ions of a p-type impurity or boron (B) by using the (not-shown) photoresist for exposing the region for forming the memory array and the region for forming the n-channel MISFET of the peripheral circuit selectively to the outside, and the n-type well 4 is formed by doping the semiconductor substrate 1 with ions of an n-type impurity or phosphor (P) by using the (not-shown) photoresist exposing the region for forming the p-channel MISFET of the peripheral circuit selectively to the outside. For this doping, the peaks of the individual distributions of the n-type impurity and the p-type impurity

are substantially equalized to the depth of the shallow groove 52, so that the p-type or n-type semiconductor regions are formed in the semiconductor substrate at the bottom of the shallow groove 52. As a result, the p-type well 3 acts as a p-type channel stopper layer, and the n-type well 4 acts as an n-type channel stopper layer.

[0046]

Next, as shown in Fig. 22, the surfaces of the individual active regions of the p-type well 3 and the n-type well 4, enclosed by the shallow groove 52, are thermally oxidized at a temperature of about 800°C to form the gate oxide film 7 having a thickness of about 8 nm. The subsequent steps are identical to those of Embodiment 1.

[0047]

By the DRAM manufacturing process of the present embodiment, the p-type well 3 acts as the p-type channel stopper layer whereas the n-type well 4 acts as the n-type channel stopper layer. As a result, the ion implantation for forming the p-type channel Stopper layer and the ion implantation for forming the n-type channel stopper layer can be eliminated to simplify the DRAM manufacturing process more than the process of Embodiment 1.

[0048]

By the DRAM manufacturing process of the present embodiment, the elements are isolated by the shallow groove

52, formed in the semiconductor substrate 1, so that the miniaturization of the DRAM can be promoted. Since the step between the element isolating region and the active region is eliminated, moreover, it is possible to prevent the drawback that the conductive film such as the gate electrode material, deposited over the semiconductor substrate 1, is thinned at the step portion.

[0049]

(Embodiment 4)

In order to manufacture the DRAM of the present embodiment, by the manufacture process of Embodiment 1, the contact holes 17 and 18 for exposing a portion of the semiconductor region 11 are formed by forming the memory cell selecting MISFET, and the n-channel MISFET and the p-channel MISFET of the peripheral circuit, by depositing the silicon oxide film 16 over those MISFETs, by polishing the silicon oxide film 16 by a chemical mechanical-polishing (CMP) method to flatten its surface, and by etching the silicon oxide film 16 and the gate oxide film 7 by using a photo-resist as the mask to form the contact holes 17 and 18 over the n-type semiconductor region 11 (the source region and the drain region) of the memory cell selecting MISFET.

[0050]

Next, as shown in Fig. 24, the plugs 29 of poly-crystalline silicon are buried in the contact holes.

These plugs 29 are formed by depositing the polycrystalline silicon film having a thickness of about 360 nm at a filming temperature of about 540°C over the silicon oxide film 16 by a CVD method, and by etching back the polycrystalline silicon film (while leaving the polycrystalline silicon film only in the contact holes 17 and 18). This polycrystalline silicon film is doped with an n-type impurity of phosphor (P).

[0051]

Next, as shown in Fig. 25, a titanium (Ti) silicide layer 31 is formed on the surfaces of plugs 29 of polycrystalline silicon. The titanium silicide layer 31 is formed by burying the polycrystalline silicon plugs 29 in the contact holes 17 and 18, by depositing, just after the burying step, a Ti film having a thickness of about 50 nm over the silicon oxide film 16 by a sputtering method, by annealing the Ti film and the polycrystalline silicon (the plugs 29) at a temperature of about 800"C to react, and by removing the Ti film, left unreacted over the silicon oxide film 16, by a wet etching.

[0052]

Next, as shown in Fig. 26, the contact holes 19 and 20 are formed over the n^+-type semiconductor region 13 (the source region and the drain region) of the n-channel MISFET of the peripheral circuit, and the contact holes 21 and 22

are formed over the p^+-type semiconductor region 15 (the source region and the drain region) of the p-channel MISFET, by depositing a silicon oxide film 45 having a thickness of about 50 nm at a filming temperature of about 360°C over the silicon oxide film 16 by a plasma CVD method, and by etching the silicon oxide film 45, the silicon oxide film 16 and the gate oxide film 7 by using as the mask a photoresist covering the memory cells and having openings over the semiconductor regions 13 of the n-channel MISFET and the semiconductor regions 15 of the p-channel MISFET of the peripheral circuit region.

[0053]

Next, as shown in Fig. 27, the plugs 23, composed of the multilayer film of TiN and W, are buried in the contact holes 19 to 22 of the peripheral circuit in accordance with the process of Embodiment 1. After this, the silicon-oxide film 45 of the contact holes 17, formed over one (located at the side for connecting the bit lines) of the n-type semiconductor regions 11 (the source region and the drain region) of the memory cell selecting MISFET, is removed to expose the surface of the titanium silicide layer 31, formed over the surfaces of the plugs 29, to the outside.

After this, as shown in Fig. 28, the bit lines BL_1 and BL_2 and the wiring lines 24A and 24B of the peripheral circuit are formed over the silicon oxide film 45, and the side wall

Spacers 26 are then formed at the individual side walls of the bit lines BL_1 and BL_2 and the wiring lines 24A and 24B.

[0054]

Next, as shown in Fig. 29, by the process of Embodiment 1, the contact holes 28 are formed in self-alignment with the side wall spacers 26 of the side walls of the bit lines BL_1 and BL_2 over the aforementioned contact holes 18, formed over one of the n-type semiconductor regions 11 (the source region and the drain region) of the memory cell selecting MISFET, by depositing the silicon oxide film 27 individually over the bit lines BL_1 and BL_2 and the wiring lines 24A and 24B, by polishing and flattening the surface of the silicon oxide film 27 by a chemical-mechanical polishing (CMP) method, and by etching the silicon oxide film 27 by using a photoresist as the mask.

[0055]

Next, as shown in Fig. 30, foreign matters on the surface of the aforementioned Ti silicide layer 30, exposed at the bottoms of the contact holes 28, is removed by a sputter-etching method using argon (Ar), and the plugs 30 of polycrystalline silicon or W are buried in the contact holes 28. If, at this time, the Ti silicide film 31 is not formed on the surfaces of the polycrystalline silicon plugs 29, the contact resistance is increased between the surfaces of the plugs 29 (of polycrystalline silicon) are oxidized

at the time of burying the plugs 30 in the contact holes 28. If, at this time, the wet etching is executed to remove the oxide film from the surfaces of the plugs 29 (of polycrystalline silicon), the insulating film 27 in the bottoms and at the sides of the contact holes 28 are side-etched to cause the shape defect of the contact holes 28.

[0056]

By the DRAM manufacturing process of the present embodiment, the Ti silicide layer 31 is formed on the surfaces of the aforementioned polycrystalline silicon plugs 29, buried in the contact holes 18, is formed to reduce the oxidation of the surfaces of the plugs 29 (polycrystalline silicon) so that the oxide film can be removed not by an isotropic wet etching method but only by a dry etching method using Ar. As a result, there arises none of the aforementioned problems. In short, the contact resistance can be reduced without causing the shape defect of the contact holes 28.

[0057]

In order to prevent the oxidation of the surfaces of the plugs 29 (polycrystalline silicon), a metal film of Ti or the like may be selectively grown on the surfaces of the polycrystalline silicon plugs 29 immediately after the plugs 29 have been buried in the contact holes 17 and 18.

[0058]

Next, as shown in Fig. 31, by the process of Embodiment 1, the contact holes 36 are formed over the plate electrodes 34 of the information storing capacitive element C after forming the information storing capacitive element C over the contact holes 28, by depositing the silicon oxide film 35 over the information storing capacitive element C, and by etching the silicon oxide film 35 by using a photoresist as the mask. Simultaneously with this, by etching the silicon oxide film 35 and the silicon oxide film 27, the contact holes 37 are formed over the wiring lines 24A of the peripheral circuit, and the contact holes 38 are formed over the wiring lines 24B.

[0059]

Next, as shown in Fig. 32, plugs 55 of TiN are buried in the contact holes 35, 36 and 37. These TiN plugs 55 are formed by depositing the TiN film over the silicon oxide film 35 by using a sputtering method and a CVD method, and by etching back the TiN film.

[0060]

If the plugs 55 are composed of a multilayer film of TiN and W, the TiN film and the W film are deposited over the silicon oxide film 3-5 and are then etched back. In this case, the TiN and the W have different etching rates so that the surface of the W film, buried in the contact holes 36,

37 and 38, is excessively etched off if the TiN film over the silicon oxide film 35 is completely removed. This may cause breakage of AA wiring lines over the contact holes 36, 37 and 38 if the A£ wiring lines are formed over the silicon oxide film 35. If the TiN film is not completely etched off but left over the silicon oxide film 35, on the other hand, separation may occur at the interface between the TiN film and the Al wiring lines when these wiring lines are formed thereover.

[0061]

By the DRAM manufacturing process of the present embodiment, the aforementioned drawbacks can be avoided by making the plug material to be buried in the contact holes 36, 37 and 38, of a single layer of TiN.

[0062]

Next, as shown in Fig. 33, the wiring lines 39A, 39B, 39C and 39D are formed over the silicon oxide film 35. Specifically, these wiring lines 39A, 39B, 39C and 39D are formed by depositing an Al alloy film having a thickness of about 500 run and a TiN film having a thickness of about 10 run over the silicon oxide film 35 by a sputtering method, and by etching and patterning those films by using a photoresist as the mask. After the steps thus far described, the DRAM of the present embodiment is substantially completed. It is needless to say that Embodiments 2 and 3

can be applied to the present embodiment.

[0063]

(Embodiment 5)

In the DRAM of the present embodiment, the conductive material (TiN) constituting the plate electrodes 34 of the information storing capacitive element C is used as the material for the wiring lines of the peripheral circuit, and the plate electrodes 34 and the wiring lines of the peripheral circuits are formed at the common step.

[0064]

For manufacturing this DRAM by the manufacture process of Embodiment 1, the capacitor insulating film 33 and the plate electrodes 34 of the information storing capacitive element C are formed simultaneously with wiring lines 56 and 57 of the peripheral circuit, by forming the storage electrodes 32 of the information storing capacitive element over the silicon oxide film 27, deposited over the bit lines BL_1 and BL_2 and the wiring lines 24A and 24B of the peripheral circuit, as shown in Fig. 34, and by patterning the Ta_2O_5 film and the TIN film deposited over the storage electrodes 32, as shown in Fig. 35.

[0065]

The wiring lines 56 and 57, formed of the multilayer film of the Ta_2O_5 film or the capacitor insulating film and the TIN film deposited over the former, cannot be connected

directly with the underlying wiring lines through the contact holes. In this case, if the TiN film is deposited after the Ta_2O_5 has been deposited and then etched off from the peripheral circuit, the direct connection with the underlying wiring lines can be made but increases the number of steps. Since the Ta^ is partially etched off, moreover, the reliability of the capacitor insulating film may drop. Specifically, a photoresist film of a predetermined pattern is formed over the capacitor insulating film 33, and this capacitor insulating film 33 is etched. After this, the quality of the capacitor insulating film 33 is deteriorated by the ashing treatment with O^ for removing the photoresist. In the present embodiment, therefore, the wiring lines 58 and 57 and the underlying wiring lines are connected by the following method.

[0066]

First of all, as shown in Fig. 36, the contact holes 36 are formed over the plate electrodes 34 of the information storing capacitive element C by depositing the silicon oxide film 35 over the information storing capacitive element C and the wiring lines 56 and 57, and by etching the silicon oxide film 35 by using a photoresist as the mask. Simultaneously with this, the contact holes 37 are formed over the wiring lines 24A of the peripheral, circuit, and the contact hole6 38 are formed over the wiring lines 24B,

by etching the silicon oxide film 35, the silicon oxide film 27 and the silicon nitride film 25 in the regions having the wiring lines 56 and 57. At this time, one end of the wiring line 56 is exposed to the inside of the contact hole 37, and one end of the wiring line 57 is exposed to the inside of the contact hole 38.

[0067]

Next, as shown in Fig. 37, the TIN plugs 55 are buried in the contact holes 36, 37 and 38, and the wiring lines 39A, 39B, 39C and 39D are then formed over the silicon oxide film 35. As a result, the wiring line 56 is connected through the wiring line 39C with the underlying wiring line 24A, and the wiring line 57 is connected through the wiring line 39D with the underlying wiring line 24B.

[0068]

By the DRAM manufacturing process of the present embodiment, by using a common material for the plate electrode (TIN) of the information storing capacitive element C and the wiring of the peripheral circuit, the wiring layers of the peripheral circuit can be increased to improve the degree of freedom of the wiring design.

[0069]

By the DRAM manufacturing process of the present embodiment, the wiring layers of the peripheral circuit can be increased without any increase in the number of steps of

manufacturing the DRAM.

[0070]

(Embodiment 6)

In the DRAM manufacturing process of Embodiment 5, the contact hole 37 is formed over the wiring line 24A by etching the silicon oxide film 35, the silicon oxide film 27 and the silicon nitride film 25 in the regions having the-wiring lines 56 and 57 of the peripheral circuit, and the contact hole 38 is formed over the wiring line 24B, so that one end of the wiring line 56 is exposed to the inside of the contact hole 37 whereas one end of the wiring line 57 is exposed to the inside of the contact hole 38 (as shown in Fig, 36). If, at this time, the etching selection rate of the wiring material (TiN) to the insulating films (the silicon oxide film and the silicon nitride film) is small, the plate electrode 34 and the wiring lines 56 and 57 may be etched to reduce the film thickness. In the present embodiment, therefore, the wiring lines 56 and 57 and the underlying wiring lines are connected by the following method.

[0071]

First of all, as shown in Fig. 38, the capacitor insulating film 33 and the plate electrode 34 of the information storing capacitive element C are formed simultaneously with the wiring lines 56 and 57 of the peripheral circuit by patterning the Ta_2O_5 film, the TiN film

and a third film (a high selection ratio film 58), deposited over the storage electrodes 32. The high selection ratio film 58 may be either the insulating film or the conductive film if it is made of a material having a high etching selection ratio to the silicon oxide film or the silicon nitride film. A suitable film may be a tungsten (W) film.

[0072]

Next, as shown in Fig. 39, the contact holes 36 are formed over the plate electrode 34 of the information storing capacitive element C by etching the silicon oxide film 35, deposited over the information storing capacitive element C and the wiring lines 56 and 57, by using a photoresist as the mask. Simultaneously with this, the contact hole 37 is formed over the wiring line 24A of the peripheral circuit, and the contact hole 38 is formed over the wiring line 24B, by etching the silicon oxide film 35, the silicon oxide film 27 and the silicon nitride film 25 in the regions having the wiring lines 56 and 57. Since, at this time, the plate electrode 34 and the wiring lines 56 and 57 are covered with the high selection ratio film 58, the etching of the plate electrode 34 and the wiring lines 56 and 57 does not increase the film thickness.

[0073]

Next, as shown in Fig. 40, one end of the wiring line 56 is exposed to the inside of the contact hole 37, and one

end of the wiring line is exposed to the inside of the contact hole 38 by etching the high selection ratio film 58 covering the plate electrode 34 and the wiring lines 56 and 57, at the final stage of the etching treatment. After this, the wiring lines 39A, 39B, 39C and 39D are formed over the silicon oxide film 35 in accordance with the process of Embodiment 5. Incidentally, this etching step is unnecessary if the high selection ratio film is made of tungsten.

[0074]

By the DRAM manufacturing process of the present embodiment, it is possible to reliably prevent the drawback that the plate electrode 34 and the wiring lines 56 and 57 are etched and thinned at the step of forming the contact holes (36, 37 and 38).

[0075]

The connection between the wiring lines 56 and 57 of the peripheral circuit and the underlying wiring lines may also be effected by the following method.

[0076]

First of all, as shown in Fig. 41, the capacitor insulating film 33 and the plate electrode 34 are formed simultaneously with the wiring lines 56 and 57 of the peripheral circuit by patterning the Ta_2O_5 film, the TIN film and the high selection ratio film 58, deposited over the storage electrodes 32.

[0077]

Next, as shown in Fig. 42, the contact hole 37 is formed over the wiring line 24A of the peripheral circuit, and the contact hole 38 is formed over the wiring line 24B, by etching the silicon oxide film 35, the silicon oxide film 27 and the silicon nitride film 25, formed over the wiring lines 56 and 57, by using a photoresist 59 as the mask. At this time, the high selection ratio film 58 covering the wiring lines 56 and 57 acts as the etching stopper to prevent the wiring lines 56 and 57 from being etched and thinned.

[0078]

Next, as shown in Fig. 43, one end of the wiring line 56 is exposed inside the contact hole 37, and one end of the wiring line 57 is exposed inside the contact hole 38, by etching the high selection ratio film 58 covering the wiring lines 56 and 57, at the final etching stage.

[0079]

After this, as shown in Fig. 44, a wiring line 60 is formed over the contact hole 37, and a wiring line 61 is formed over the contact hole 38, by patterning the conductive film, deposited over the silicon oxide film 27. As a result, the wiring line 56 of the peripheral circuit is connected through the wiring line 60 to the underlying wiring line 24A, and the wiring line 57 is connected through the wiring line 61 to the underlying wiring line 24B.

[0080]

The wiring lines 56 and 57 of the peripheral circuit and the underlying wiring lines may be connected by the following method.

[0081]

First of all, as shown in Fig. 45, the capacitor insulating film 33 and the plate electrode 34 of the information storing capacitive element C are formed together with the wiring lines 56 and 67 of the peripheral circuit, by patterning the Ta_2O_5 film, the TiN film and the high selection ratio film 58, deposited over the storage electrodes 32. After this, the contact hole 36 is formed over the plate electrode 34 of the Information storing capacitive element C, and the contact hole 37 is formed over the wiring line 56, by etching the silicon oxide film 35, deposited over the information storing capacitive element C and the wiring lines 56 and 57, by using a photoresist as the mask. Simultaneously with this, the contact hole 38 is formed over the wiring line 24B of the peripheral circuit by etching the silicon oxide film 35, the silicon oxide film 27 and the silicon nitride film 25 in the region where the wiring line 57 is formed. At this time, the plate electrode 34 and the wiring lines 56 and 57 are covered with the high selection ratio film 58, so that they are prevented from being etched and thinned.

[0082]

Next, as shown in Fig. 46, one end of the wiring line 56 is exposed inside of the contact hole 37, and one end of the wiring line 57 is exposed inside the contact hole 38, by etching the high selection ratio film 58 covering the wiring lines 56 and 57, at the final etching state.

[0083]

Next, as shown in Fig. 47, the TiN plugs 55 are buried in the contact holes 35, 36 and 37, and the wiring lines 39A, 39B and 39C are then formed over the silicon oxide film 35. As a result, the wiring line 56 of the peripheral circuit is connected through the wiring line 39C and the wiring line 57 with the underlying wiring line 24B.

[0084]

(Embodiment 7)

The present embodiment is applied to a process for manufacturing a CMOS (Complementary Metal Oxide Semiconductor) FET.

[0085]

First of all, as shown in Fig. 48, the field oxide film 2 having a thickness of about 400 nm is formed over the surface of the semiconductor substrate 1. The field oxide film2 is prepared by annealing the semiconductor substrate 1 at a temperature of about 1,000°C by using a silicon nitride film as the mask.

[0086]

Subsequently, the surface of the semiconductor substrate in the region to form the p-channel MISFET is covered with a photoresist 70, and the semiconductor substrate 1 in the region where the n-channel MISFET is formed is doped with ions of a p-type impurity (B) to form the p-type well 3.

[0087]

Next, the photoresist 70 is removed, and the semiconductor substrate is annealed to repair the crystal defects which are caused by ion implantation of p-type impurity and is doped all over its surface with ions of a p-type impurity (B) to form a channel region 72 of the n-channel MISFET. At this time, the semiconductor substrate 1 in the region where the p-channel MISFET is formed is also doped with the ions of p-type impurity.

[0088]

Next, as shown in Fig. 50, the region where the n-channel MISFET is formed, namely, the p-type well 3 is covered with a photoresist 71, and the semiconductor substrate 1 in the region where the p-channel MISFET is formed is doped twice with the n-type impurity (P) to form the n-type well 4. One of these two ion implantations is to improve the device characteristics and accordingly to introduce the impurity with a relatively low energy. The

other ion implantation is to isolate the elements and to reduce the well resistance and accordingly to introduce the impurity with a relatively high energy.

[0089]

Next, as shown in Fig. 51, the n-type well 4 is doped with ions of an n-type impurity (P) to form a channel ration 73 of the p-channel MISFET and to compensate the p-type impurity, the ions of which have been introduced at the step of forming the channel region of the aforementioned n-channel MISFET.

[0090]

Incidentally, in the process described above, after the p-type well 3 has been formed, the photoresist 70 is removed, and the semiconductor substrate is then annealed to repair the crystal defects which have been caused by the ion implantation of the p-type impurity. Despite of this description, however, the p-type well 3 may be doped with ions of p-type impurity while omitting the annealing step to leave the photoresist 70, thereby to form the channel region 72 of the n-channel MISFET.

Moreover, a process, in which the insulating film is buried in the shallow groove of Embodiment 3, can be applied to the element isolating region.

[0091]

Next, after the photoresist 71 has been removed, the

gate oxide film 7 is formed by a thermal oxidizing method over the surfaces of the individual active regions of the p-type well 3 and the n-type well 4, as shown in Fig. 52. Next, the gate electrode 8B of the n-channel MISFET and the gate electrode 8C of the p-channel MISFET are formed over the gate oxide film 7.

[0092]

The subsequent stops follow the flowchart shown in Fig, 53. Specifically, the impurity activation for forming the source region and the drain region is executed at a temperature of about 900°C. Moreover, the treatment for producing Ti silicide or the like on the bottom of the contact hole so as to lower the contact resistance between the first layer wiring line and the source region or the drain region is executed at 800°C, and the subsequent depositions of the wiring conductive film and the insulating film are executed at 450°C or lower.

[0093]

The element isolating with the shallow groove is executed according to the flowchart, shown in Fig. 54, as in Embodiment 3. Specifically, the impurity activation for forming the source region and the drain region is executed at a temperature of about 900°C. Moreover, the treatment for forming Ti silicide or the like on the bottom of the contact hole so as to lower the contact resistance between

the first layer wiring line and the source region or the drain region is executed at 800°C, and the subsequent depositions of the wiring conductive film and the insulating film are executed at 450°C or lower.

[0094]

By the CMOSFET manufacturing process of the present embodiment, the formation of the p-type well and the channel region of the n-channel MISFET and the formation of the n-type well and the channel region of the p-channel MISFET can be made at the totally two photoresist steps thereby to reduce the steps of manufacturing the CMOS LSI.

[0095]

By the CMOSFET manufacturing process of the present embodiment, the upper limits of the temperatures for the heat treatments are made lower at the later steps so that the diffusion of the impurity into the substrate caused by the hot heat treatment can be suppressed to realize a shallower junction between the source region and the drain region thereby to promote the high performance of the CMOS LSI.

[0096]

(Embodiment 8)

In the CMOSFET manufacturing process of the present embodiment, as shown in Fig. 55, by the manufacture process of Embodiment 7, the gate electrode SB of the n-channel MISFET is formed at first over the gate oxide film 7 of the

p-type well 3, and the gate electrode 8C of the p-channel MISFET is then formed over the gate oxide film 7 of the n-type well 4.

[0097]

Next, as shown in Fig. 56, the surface of the n-type well 4 is covered with a photoresist 74, and the p-type well 3 is doped with ions of P and As. At this time, the ions of P is introduced more deeply and in a less dosage than the ions of As. Alternatively, the ions of P may be obliquely introduced.

[0098]

Next, after the photoresist 74 has been removed, as shown in Fig. 57, the surface of the p-type well 3 is covered with a photoresist 75, and the n-type well 4 is doped with ions of B.

[0099]

Next, after the photoresist 75 has been removed, as shown in Fig. 58, an annealing treatment for impurity activation is executed to form the source region and drain region of the n-channel MISFET and the source region and drain region of the p-channel MISFET. The source region and drain region of the n-channel MISFET is constructed of a double diffused drain structure, in which the periphery and bottom portion of an n^+-type semiconductor region 76, heavily doped with diffused As are surrounded by an n^-type

semiconductor region 77 lightly doped with diffused P, and the source region and drain region of the p-channel MISFET are constructed of a single diffused drain structure which has a p-type semiconductor region 78.

[0100]

By the CMOSFET manufacturing process of the present embodiment, the source region and drain region of the n-channel MISFET, constructed of the double diffused drain, and the source region and drain region of the p-channel MISFET, constructed of the single diffused drain structure, can be formed by totally three ion implantations to simplify the CMOS LSI manufacturing process. Moreover, the source region and drain region of the n-channel MISFET is constructed of the double diffused drain structure so that the high electric field of the end portion of the drain region can be relaxed. As a result, it is possible to suppress the hot electron effect of the n-channel MISFET which raises a problem if the gate length is miniaturized.

[0101]

Although our invention has been specifically described taking the cases of Embodiments, it should not be limited thereto but can naturally be modified in various manners without departing from the gist thereof.

[0102]

[Effects of the Invention]

The effects to be obtained by representatives of the aspect of the invention disclosed herein will be briefly described in the following.

[0103]

By the manufacture process of the present invention, at the step after the MISFET has been formed, alt the conductive films are deposited at a temperature of 500°C or lower over the semiconductor substrate so that the number of heat treatment steps can be reduced to form a MISFET of Shallow junction.

[0104]

By the manufacture process of the present invention, at the step after the MISFET has been formed, all the insulating films are deposited at a temperature of 500°C or lower over the semiconductor substrate so that the number of heat treatment steps can be reduced to form a MISFET of shallow junction.

[0105]

By the manufacture process of the present invention, all the conductive films are made of a metal or its compound so that the wiring resistance can be reduced.

[0106]

By the manufacture process of the present invention, it is possible to simplify the process for manufacturing the semiconductor integrated circuit device having MISFETs.

[Brief Description of the Drawings]

Fig. 1 is a section of an essential portion of a semiconductor substrate and shows a process for manufacturing a semiconductor integrated circuit device of Embodiment 1 of the present invention;

Fig. 2 is a section of an essential portion of a semiconductor substrate and shows a process for manufacturing a semiconductor integrated circuit device of Embodiment 1 of the present invention;

Fig. 3 is a section of an essential portion of a semiconductor substrate and shows a process for manufacturing a semiconductor integrated circuit device of Embodiment 1 of the present invention;

Fig. 4 is a section of an essential portion of a semiconductor substrate and shows a process for manufacturing a semiconductor integrated circuit device of Embodiment 1 of the present invention;

Fig. 5 is a section of an essential portion of a semiconductor substrate and shows a process for manufacturing a semiconductor integrated circuit device of Embodiment 1 of the present invention;

Fig. 6 is a section of an essential portion of a semiconductor substrate and shows a process for manufacturing a semiconductor integrated circuit device of Embodiment 1 of the present invention;

Fig. 7 is a section of an essential portion of a semiconductor substrate and shows a process for manufacturing a semiconductor integrated circuit device of Embodiment 1 of the present invention;

Fig. 8 is a section of an essential portion of a semiconductor substrate and shows a process for manufacturing a semiconductor integrated circuit device of Embodiment 1 of the present invention;

Fig. 9 is a section of an essential portion of a semiconductor substrate and shows a process for manufacturing a semiconductor integrated circuit device of Embodiment 1 of the present invention;

Fig. 10 is a section of an essential portion of a semiconductor substrate and shows a process for manufacturing a semiconductor integrated circuit device of Embodiment 1 of the present invention;

Fig. 11 is a section of an essential portion of a semiconductor substrate and shows a process for manufacturing a semiconductor integrated circuit device of Embodiment 1 of the present invention;

Fig. 12 is a section of an essential portion of a semiconductor substrate and shows a process for manufacturing a semiconductor integrated circuit device of Embodiment 1 of the present invention;

Fig. 13 is a section of an essential portion of a

semiconductor substrate and shows a process for manufacturing a semiconductor integrated circuit device of Embodiment 1 of the present invention;

Fig. 14 is a section of an essential portion of a semiconductor substrate and shows a process for manufacturing a semiconductor integrated circuit device of Embodiment 1 of the present invention;

Fig. 15 is a section of an essential portion of a semiconductor substrate and shows a process for manufacturing a semiconductor integrated circuit device of Embodiment 1 of the present invention;

Fig. 16 is a section of an essential portion of a semiconductor substrate and shows a process for manufacturing a semiconductor integrated circuit device of Embodiment 1 of the present invention;

Fig. 17 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 2 of the present invention;

Fig. 18 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 3 of the present invention;

Fig. 19 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing

a semiconductor integrated circuit device of Embodiment 3 of the present invention;

Fig. 20 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 3 of the present invention;

Fig. 21 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 3 of the present invention;

Fig. 22 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 3 of the present invention;

Fig. 23 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 4 of the present invention;

Fig. 24 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 4 of the present invention;

Fig. 25 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 4

of the present invention;

Fig. 26 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 4 of the present invention;

Fig. 27 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 4 of the present invention;

Fig. 28 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 4 of the present invention;

Fig. 29 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 4 of the present invention;

Fig. 30 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 4 of the present invention;

Fig. 31 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 4 of the present invention;

Fig. 32 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 4 of the present invention;

Fig. 33 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 4 of the present invention;

Fig. 34 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 5 of the present invention;

Fig. 35 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 5 of the present invention;

Fig. 36 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 5 of the present invention;

Fig. 37 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 5 of the present invention;

Fig. 38 is a section of an essential portion of a

semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 6 of the present invention;

Fig. 39 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 6 of the present invention;

Fig. 40 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 6 of the present invention;

Fig. 41 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 6 of the present invention;

Fig. 42 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 6 of the present invention;

Fig. 43 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 6 of the present invention;

Fig. 44 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing

a semiconductor integrated circuit device of Embodiment 6 of the present invention;

Fig. 45 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 6 of the present invention;

Fig. 46 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 6 of the present invention;

Fig. 47 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 6 of the present invention;

Fig. 48 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 7 of the present invention;

Fig. 49 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 7 of the present invention;

Fig. 50 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 7

of the present invention;

Fig. 51 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 7 of the present invention;

Fig. 52 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 7 of the present invention;

Fig. 53 is a flow chart showing the semiconductor integrated circuit device manufacturing process of Embodiment 7 of the present invention;

Fig. 54 is a flow chart showing the semiconductor integrated circuit device manufacturing process of Embodiment 7 of the present invention;

Fig. 55 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 8 of the present invention;

Fig. 56 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 8 of the present invention;

Fig. 57 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing

a semiconductor integrated circuit device of Embodiment 8 of the present invention; and

Fig. 58 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 8 of the present invention.

[Explanation of Reference Numerals]

1 semiconductor substrate

2 field oxide film

3 p-type well

4 n-type well

5 p-type channel stopper layer

6 n-type channel stopper layer

7 gate oxide film

8A, 8B, 8C gate electrode

9 silicon nitride film

10 side wall spacer

11 n-type semiconductor region

12 n^--type semiconductor region

13 n^+-type semiconductor region

14 p^--type semiconductor region

15 p^+-type semiconductor region

16 silicon oxide film

17 contact hole

18 contact hole

19 contact hole

20 contact hole

21 contact hole

22 contact hole

23 plug

24A, 24B wiring line

25 silicon nitride film

26 side wall spacer

27 silicon oxide film

28 contact hole

29 plug

30 plug

31 Ti silicide layer

32 storage electrodes (lower electrodes)

33 capacitor insulating film

34 plate electrodes (upper electrodes)

35 silicon oxide film

36 contact hole

37 contact hole

38 contact hole

39A, 39B, 39C, 39D wiring line

43 silicon oxide film

44 silicon oxide film

45 silicon oxide film

50 silicon oxide film

51 silicon oxide film

52 shallow groove

53 silicon oxide film

54 silicon oxide film

55 plug

56 wiring line

57 wiring line

58 high selection ratio film

59 photoresist

60 wiring line

61 wiring line

70 photoresist

71 photoresist

72 channel region

73 channel region

74 photoresist

75 photoresist

76 n^+-type semiconductor region

77 n^--type semiconductor region

78 p-type semiconductor region

C information storing capacitive element

BL1, BL2 bit line

WL word line

[Document's Name] ABSTRACT OF THE DISCLOSURE

[Abstract]

[Problem] To reduce the number of heat treatment steps in a process for manufacturing a semiconductor integrated circuit device having a MISFET

[Solving Means] All conductive films to be deposited on the semiconductor substrate are deposited at a temperature of 500°C or lower at a step after the MISFET has been formed. Moreover, all insulating films to be deposited over the semiconductor substrate are deposited at a temperature of 500°C or lower at a step after the MISFET has been formed.

[Selected Drawing] Fig. 53

【書類名】　特許願
【整理番号】　H96008961
【提出日】　平成 8 年 5 月 31 日
【あて先】　特許庁長官殿
【国際特許分類】　H01L 21/10
【発明の名称】　半導体集積回路装置の製造方法
【請求項の数】　9
【発明者】
【住所又は居所】　東京都青梅市今井２３２６番地　株式会社日立製作所デバイス開発センタ内
【氏名】　吉田　誠
【発明者】
【住所又は居所】　東京都青梅市今井２３２６番地　株式会社日立製作所デバイス開発センタ内
【氏名】　熊内　隆宏
【発明者】
【住所又は居所】　東京都青梅市今井２３２６番地　株式会社日立製作所デバイス開発センタ内
【氏名】　只木　▲芳▼▲隆▼
【発明者】
【住所又は居所】　東京都青梅市今井２３２６番地　株式会社日立製作所デバイス開発センタ内
【氏名】　梶谷　一彦
【発明者】
【住所又は居所】　東京都青梅市今井２３２６番地　株式会社日立製作所デバイス開発センタ内
【氏名】　青木　英雄
【発明者】
【住所又は居所】　東京都青梅市今井２３２６番地　株式会社日立製作所デバイス開発センタ内
【氏名】　浅野　勇
【特許出願人】
【識別番号】　000005108
【氏名又は名称】　株式会社日立製作所
【代表者】　金井　務
【代理人】

【識別番号】　100080001
【弁理士】
【氏名又は名称】　筒井　大和
【電話番号】　03-3366-0787
【手数料の表示】
【予納台帳番号】　006909
【納付金額】　21,000円
【提出物件の目録】
【物件名】　明細書　1
【物件名】　図面　1
【物件名】　要約書　1
【包括委任状番号】　9003105
【プルーフの要否】　要

【書類名】　明細書
【発明の名称】　半導体集積回路装置の製造方法
【特許請求の範囲】
【請求項１】　ＭＩＳＦＥＴを有する半導体集積回路装置の製造方法であって、ＭＩＳＦＥＴを形成した後の工程で半導体基板上に堆積するすべての導電膜を５００℃以下の温度で堆積することを特徴とする半導体集積回路装置の製造方法。
【請求項２】　請求項１記載の半導体集積回路装置の製造方法であって、前記導電膜は、メタルまたはメタル化合物からなることを特徴とする半導体集積回路装置の製造方法。
【請求項３】　請求項２記載の半導体集積回路装置の製造方法であって、前記メタルは、タングステン、アルミニウム、チタンまたは銅であり、前記メタル化合物は、チタンナイトライドであることを特徴とする半導体集積回路装置の製造方法。
【請求項４】　ＭＩＳＦＥＴを有する半導体集積回路装置の製造方法であって、ＭＩＳＦＥＴを形成した後の工程で半導体基板上に堆積するすべての絶縁膜を５００℃以下の温度で堆積することを特徴とする半導体集積回路装置の製造方法。
【請求項５】　請求項４記載の半導体集積回路装置の製造方法であって、前記絶縁膜は、プラズマＣＶＤ法で堆積した酸化シリコン膜またはプラズマＣＶＤ法で堆積した窒化シリコン膜であることを特徴とする半導体集積回路装置の製造方法。
【請求項６】　請求項４記載の半導体集積回路装置の製造方法であって、前記絶縁膜の表面を化学的機械研磨法で平坦化することを特徴とする半導体集積回路装置の製造方法。
【請求項７】　ＭＩＳＦＥＴを有する半導体集積回路装置の製造方法であって、半導体基板上に素子分離領域を形成した後、前記半導体基板上の活性領域にＭＩＳＦＥＴを形成する第１工程と、前記ＭＩＳＦＥＴの上部に絶縁膜と導電膜とを堆積して配線を形成する第２工程とを有し、前記第２工程における熱処理温度の上限を前記第１工程における熱処理温度の上限よりも低くすることを特徴とする半導体集積回路装置の製造方法。
【請求項８】　請求項７記載の半導体集積回路装置の製造方法であって、前記第２工程における熱処理温度を、工程を経るに従って下げることを特徴とする半導体集積回路装置の製造方法。
【請求項９】　請求項１記載の半導体集積回路装置の製造方法であって、前記半導体集積回路装置は、メモリセル選択用ＭＩＳＦＥＴの上部にビット線を配

置し、前記ビット線の上部に情報蓄積用容量素子を配置したメモリセルを備えたＤＲＡＭを有することを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、半導体集積回路装置の製造技術に関し、特に、ＭＩＳＦＥＴ(Metal Insulator Semiconductor Field Effect Transistor) を有する半導体集積回路装置の製造に適用して有効な技術に関するものである。

【０００２】

【従来の技術】

近年の大容量ＤＲＡＭに代表されるＬＳＩは、高集積化、高速化、高機能化が進むにつれて、それを実現するための製造プロセスが複雑化していることから、工程数の増加によるコスト増が深刻な問題となっている。またこれに伴い、半導体基板上に絶縁膜や導電膜を７００～９００℃の温度で堆積する回数も増え、浅接合の実現によるＭＩＳＦＥＴの高性能化を達成することが困難になっている。さらに、微細化に伴う配線抵抗の増大も高速化の障害となっている。

【０００３】

【発明が解決しようとする課題】

本発明の目的は、ＭＩＳＦＥＴを有する半導体集積回路装置の製造プロセスにおける熱処理工程を低減することのできる技術を提供することにある。

【０００４】

本発明の他の目的は、ＭＩＳＦＥＴを有する半導体集積回路装置の製造プロセスを簡略化することのできる技術を提供することにある。

【０００５】

本発明の他の目的は、ＭＩＳＦＥＴを有する半導体集積回路装置の配線抵抗を低減することのできる技術を提供することにある。

【０００６】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【０００７】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【０００８】

（１）本発明の半導体集積回路装置の製造方法は、ＭＩＳＦＥＴを形成した後の工程で半導体基板上に堆積するすべての導電膜を５００℃以下の温度で堆積する

ようにしたものである。

【０００９】

（２）本発明の半導体集積回路装置の製造方法は、半導体基板上に堆積するすべての導電膜をメタルまたはメタル化合物で構成するようにしたものである。

【００１０】

（３）本発明の半導体集積回路装置の製造方法は、ＭＩＳＦＥＴを形成した後の工程で半導体基板上に堆積するすべての絶縁膜を５００℃以下の温度で堆積するようにしたものである。

【００１１】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【００１２】

（実施の形態１）

本実施の形態は、メモリセル選択用ＭＩＳＦＥＴの上部に情報蓄積用容量素子（キャパシタ）を配置するスタックド・キャパシタ(stacked capacitor) 構造のメモリセルを備えたＤＲＡＭの製造方法に適用したものである。

【００１３】

このＤＲＡＭを製造するには、まず図１に示すように、比抵抗１０Ω・cm 程度のp⁻型単結晶シリコンからなる半導体基板１を用意し、その表面を酸化して薄い酸化シリコン膜４３を形成した後、ＣＶＤ法を用いて酸化シリコン膜４３上に窒化シリコン膜４４を堆積し、フォトレジストをマスクにしてこの窒化シリコン膜４４をエッチングすることにより、素子分離領域の窒化シリコン膜４４を除去する。

【００１４】

次に、図２に示すように、窒化シリコン膜４４をマスクにして半導体基板１を１０００℃程度の温度でアニールすることにより、膜厚４００nm 程度のフィールド酸化膜２を形成する。

【００１５】

次に、窒化シリコン膜４４を除去した後、図３に示すように、メモリアレイを形成する領域と周辺回路のｎチャネル型ＭＩＳＦＥＴを形成する領域の半導体基板１にｐ型不純物（ホウ素（Ｂ））をイオン注入してｐ型ウエル３を形成する。また、周辺回路のｐチャネル型ＭＩＳＦＥＴを形成する領域の半導体基板１にｎ型不純物（リン（Ｐ））をイオン注入してｎ型ウエル４を形成する。続いて、ｐ型ウエル３にｐ型不純物（Ｂ）をイオン注入してｐ型チャネルストッパ層５を形

成し、ｎ型ウエル４にｎ型不純物（Ｐ）をイオン注入してｎ型チャネルストッパ層６を形成する。その後、フィールド酸化膜２で囲まれたｐ型ウエル３、ｎ型ウエル４のそれぞれの活性領域の表面を８００℃程度の温度で熱酸化して膜厚８nm程度のゲート酸化膜７を形成する。

【００１６】

次に、図４に示すように、メモリセル選択用ＭＩＳＦＥＴのゲート電極８Ａ（ワード線ＷＬ）、周辺回路のｎチャネル型ＭＩＳＦＥＴのゲート電極８Ｂおよびｐチャネル型ＭＩＳＦＥＴのゲート電極８Ｃを形成する。ゲート電極８Ａ（ワード線ＷＬ）とゲート電極８Ｂ、８Ｃは、ＣＶＤ法を用いて半導体基板１上に膜厚１５０nm程度のタングステン（Ｗ）膜を４７５℃程度の成膜温度で堆積し、続いてこのＷ膜上にプラズマＣＶＤ法を用いて膜厚２５０nm程度の窒化シリコン膜９を３６０℃程度の成膜温度で堆積した後、フォトレジストをマスクにしたエッチングでこれらの膜をパターニングして同時に形成する。

【００１７】

次に、図５に示すように、ｐ型ウエル３にｎ型不純物（Ｐ）をイオン注入し、ｎ型ウエル４にｐ型不純物（Ｂ）をイオン注入する。後の工程で行うアニールにより、このｎ型不純物（Ｐ）でメモリセル選択用ＭＩＳＦＥＴのｎ型半導体領域１１（ソース領域、ドレイン領域）と周辺回路のｎチャネル型ＭＩＳＦＥＴのｎ$^-$型半導体領域１２とが形成され、ｐ型不純物（Ｂ）で周辺回路のｐチャネル型ＭＩＳＦＥＴのｐ$^-$型半導体領域１４が形成される。

【００１８】

次に、図６に示すように、ゲート電極８Ａ（ワード線ＷＬ）とゲート電極８Ｂ、８Ｃのそれぞれの側壁にサイドウォールスペーサ１０を形成した後、周辺回路のｐ型ウエル３にｎ型不純物（Ｐ）をイオン注入し、ｎ型ウエル４にｐ型不純物（Ｂ）をイオン注入する。サイドウォールスペーサ１０は、プラズマＣＶＤ法を用いて半導体基板１上に膜厚１００nm程度の窒化シリコン膜を３６０℃程度の成膜温度で堆積した後、この窒化シリコン膜を異方性エッチングで加工して形成する。

【００１９】

次に、図７に示すように、半導体基板１を９００℃程度の窒素雰囲気中でアニールして前記ｎ型不純物（Ｐ）とｐ型不純物とを拡散させることにより、メモリセル選択用ＭＩＳＦＥＴのｎ型半導体領域１１（ソース領域、ドレイン領域）と、周辺回路のｎチャネル型ＭＩＳＦＥＴのｎ$^-$型半導体領域１２およびｎ$^+$型半導体領域１３と、ｐチャネル型ＭＩＳＦＥＴのｐ$^-$型半導体領域１４およびｐ$^+$型半導体領域１５とを形成する。周辺回路のｎチャネル型ＭＩＳＦＥＴのソース領域、ドレイン領域のそれぞれは、ｎ$^-$型半導体領域１２とｎ$^+$型半導体領域１

３とからなるＬＤＤ(Lightly Doped Drain) 構造で構成され、ｐチャネル型ＭＩＳＦＥＴのソース領域、ドレイン領域のそれぞれは、p^-型半導体領域１４とp^+型半導体領域１５とからなるＬＤＤ構造で構成される。

【００２０】

次に、図８に示すように、メモリセル選択用ＭＩＳＦＥＴ、周辺回路のｎチャネル型ＭＩＳＦＥＴおよびｐチャネル型ＭＩＳＦＥＴのそれぞれの上部にプラズマＣＶＤ法を用いて膜厚５００nm程度の酸化シリコン膜１６を３９０℃程度の成膜温度で堆積し、続いてこの酸化シリコン膜１６を化学的機械研磨(Chemical Mechanical Polishing; ＣＭＰ）法で研磨してその表面を平坦化した後、フォトレジストをマスクにして酸化シリコン膜１６およびゲート酸化膜７をエッチングすることにより、メモリセル選択用ＭＩＳＦＥＴのｎ型半導体領域１１（ソース領域、ドレイン領域）の上部に接続孔１７、１８を形成し、周辺回路のｎチャネル型ＭＩＳＦＥＴのn^+型半導体領域１３（ソース領域、ドレイン領域）の上部に接続孔１９、２０を形成し、ｐチャネル型ＭＩＳＦＥＴのp^+型半導体領域１５（ソース領域、ドレイン領域）の上部に接続孔２１、２２を形成する。

【００２１】

このとき、メモリセル選択用ＭＩＳＦＥＴのゲート電極８Ａ（ワード線ＷＬ）の上部に形成された窒化シリコン膜９と側壁に形成された窒化シリコンのサイドウォールスペーサ１０は、僅かにエッチングされるだけなので、接続孔１７、１８が自己整合（セルフアライン）で形成される。同様に、周辺回路のｎチャネル型ＭＩＳＦＥＴのゲート電極８Ｂ、ｐチャネル型ＭＩＳＦＥＴのゲート電極８Ｃのそれぞれの上部に形成された窒化シリコン膜９と側壁に形成された窒化シリコンのサイドウォールスペーサ１０は、僅かにエッチングされるだけなので、接続孔１９～２２が自己整合（セルフアライン）で形成される。

【００２２】

メモリセル選択用ＭＩＳＦＥＴ、周辺回路のｎチャネル型ＭＩＳＦＥＴおよびｐチャネル型ＭＩＳＦＥＴの上部に堆積する絶縁膜としては、上記酸化シリコン膜１６の他にも、例えばＣＶＤ法を用いて４５０℃程度の成膜温度で堆積したオゾン（O_3）－ＢＰＳＧ(Boron-doped Phospho Silicate Glass)膜や、ＣＶＤ法を用いて４００℃程度の成膜温度で堆積したオゾン－ＴＥＯＳ(Tetra Ethoxy Silane) などを使用することができる。これらの絶縁膜は、酸化シリコン膜１６と同じく、化学的機械研磨（ＣＭＰ）法でその表面を平坦化する。

【００２３】

次に、図９に示すように、接続孔１７～２２の内部にチタンナイトライド（ＴｉＮ）とＷの積層膜で構成されたプラグ２３を埋め込む。このプラグ２３は、酸化シリコン膜１６の上部に基板とＷ膜との接着層となる膜厚５０nm程度のＴｉＮ

膜をスパッタリング法を用いて堆積し、続いてＣＶＤ法を用いてこのＴｉＮ膜の上部に膜厚３００nm程度のW膜を４７５℃程度の成膜温度で堆積した後、このW膜とＴｉＮ膜とをエッチバックして形成する。

【００２４】

このとき、プラグ２３と基板のコンタクト抵抗を低減するために、接続孔１７～２２の底部にＴｉシリサイド（$TiSi_2$）層を形成してもよい。Ｔｉシリサイド層は、スパッタリング法を用いて酸化シリコン膜１６の上部に膜厚５０nm程度のＴｉ膜を堆積し、８００℃程度のアニールでこのＴｉ膜と接続孔１７～２２の底部の基板とを反応させた後、酸化シリコン膜１６上に残った未反応のＴｉ膜をウェットエッチングで除去して形成する。その後、酸化シリコン膜１６の上部に堆積したＴｉＮ膜とW膜とをエッチバックしてプラグ２３を形成する。

【００２５】

次に、図１０に示すように、酸化シリコン膜１６の上部にビット線BL_1, BL_2と周辺回路の配線２４Ａ、２４Ｂとを形成する。ビット線BL_1, BL_2と配線２４Ａ、２４Ｂは、プラズマＣＶＤ法を用いて酸化シリコン膜１６の上部に膜厚３００nm程度のW膜を４７５℃程度の成膜温度で堆積し、続いてこのW膜の上部にＣＶＤ法を用いて膜厚２００nm程度の窒化シリコン膜２５を３６０℃程度の成膜温度で堆積した後、フォトレジストをマスクにしたエッチングでこれらの膜をパターニングして同時に形成する。

【００２６】

ビット線BL_1は、前記接続孔１７を通じてメモリセル選択用ＭＩＳＦＥＴのソース領域、ドレイン領域の一方（ｎ型半導体領域１１）と電気的に接続される。またビット線BL_2は、前記接続孔１９を通じて周辺回路のｎチャネル型ＭＩＳＦＥＴQｎのソース領域、ドレイン領域の一方（n^+型半導体領域１３）と電気的に接続される。

【００２７】

周辺回路の配線２４Ａの一端は、接続孔２０を通じてｎチャネル型ＭＩＳＦＥＴのソース領域、ドレイン領域の他方（n^+型半導体領域１３）と電気的に接続され、他端は接続孔２１を通じてｐチャネル型ＭＩＳＦＥＴのソース領域、ドレイン領域の一方（p^+型半導体領域１５）と電気的に接続される。また配線２４Ｂは、接続孔２２を通じてｐチャネル型ＭＩＳＦＥＴのソース領域、ドレイン領域の他方（p^+型半導体領域１５）と電気的に接続される。

【００２８】

次に、図１１に示すように、ビット線BL_1, BL_2と配線２４Ａ、２４Ｂのそれぞれの側壁にサイドウォールスペーサ２６を形成する。サイドウォールスペーサ２６は、プラズマＣＶＤ法を用いて酸化シリコン膜１６の上部に膜厚１００nm

程度の窒化シリコン膜を３６０℃程度の成膜温度で堆積した後、この窒化シリコン膜を異方性エッチングで加工して形成する。

【００２９】

次に、図１２に示すように、ビット線BL_1, BL_2と配線２４Ａ、２４Ｂのそれぞれの上部にプラズマＣＶＤ法を用いて膜厚５００nm程度の酸化シリコン膜２７を３９０℃程度の成膜温度で堆積し、続いてこの酸化シリコン膜２７を化学的機械研磨（ＣＭＰ）法で研磨してその表面を平坦化した後、フォトレジストをマスクにして酸化シリコン膜２７をエッチングすることにより、メモリセル選択用ＭＩＳＦＥＴのｎ型半導体領域１１（ソース領域、ドレイン領域）の一方の上部に形成された前記接続孔１８の上部に接続孔２８を形成する。このとき、ビット線BL_1の上部に形成された窒化シリコン膜２５と側壁に形成された窒化シリコンのサイドウォールスペーサ２６は、僅かにエッチングされるだけなので、接続孔２８が自己整合（セルフアライン）で形成される。

【００３０】

ビット線BL_1, BL_2および配線２４Ａ、２４Ｂの上部に堆積する絶縁膜としては、上記酸化シリコン膜２７の他にも、例えば前記のオゾン－ＢＰＳＧ膜やオゾン－ＴＥＯＳ膜、あるいはスピンオングラス(Spin On Glass; ＳＯＧ）膜などを使用することができる。オゾン－ＢＰＳＧ膜やオゾン－ＴＥＯＳ膜を使用した場合は、酸化シリコン膜２７と同じく化学的機械研磨（ＣＭＰ）法でその表面を平坦化する。

【００３１】

次に、図１３に示すように、接続孔２８の内部にWのプラグ３０を埋め込んだ後、接続孔２８の上部に情報蓄積用容量素子の蓄積電極（下部電極）３２を形成する。Wのプラグ３０は、ＣＶＤ法を用いて酸化シリコン膜２７の上部に膜厚３００nm程度のW膜を５００℃程度の成膜温度で堆積した後、このW膜をエッチバックして形成する。蓄積電極３２は、ＣＶＤ法を用いて酸化シリコン膜２７の上部に膜厚５００nm程度のW膜を４７５℃程度の成膜温度で堆積した後、フォトレジストをマスクにしたエッチングでこのW膜をパターニングして形成する。プラグ３０を構成するW膜は、接続孔２８の内部のカバレージを確保する必要があるので、蓄積電極３２を構成するW膜の成膜温度（４７５℃）よりも高い成膜温度（５００℃）で堆積する。

【００３２】

次に、図１４に示すように、蓄積電極３２の上部に情報蓄積用容量素子の容量絶縁膜３３とプレート電極（上部電極）３４とを形成する。容量絶縁膜３３とプレート電極３４は、ＣＶＤ法を用いて蓄積電極３２の上部に膜厚１５nm程度のTa_2O_5膜を４００～４８０℃程度の成膜温度で堆積した後、Ta_2O_5膜の上

部にスパッタリング法で膜厚１５０nm程度のＴｉＮ膜を堆積し、フォトレジストをマスクにしたエッチングでこれらの膜をパターニングして同時に形成する。これにより、蓄積電極３２と容量絶縁膜３３とプレート電極３４とで構成されたメモリセルの情報蓄積用容量素子Ｃが形成される。

【００３３】

次に、図１５に示すように、プラズマＣＶＤ法を用いて情報蓄積用容量素子Ｃの上部に膜厚５００nm程度の酸化シリコン膜３５を３９０℃程度の成膜温度で堆積した後、フォトレジストをマスクにして酸化シリコン膜３５をエッチングすることにより、情報蓄積用容量素子Ｃのプレート電極３４の上部に接続孔３６を形成する。また同時に、酸化シリコン膜３５、酸化シリコン膜２７および窒化シリコン膜２５をエッチングすることにより、周辺回路の配線２４Ａの上部に接続孔３７を形成し、配線２４Ｂの上部に接続孔３８を形成する。情報蓄積用容量素子Ｃの上部に堆積する絶縁膜としては、上記酸化シリコン膜３５の他にも、例えば２層の酸化シリコン膜３５の間にスピンオングラス膜を介在させた３層の絶縁膜などを使用することができる。

【００３４】

次に、図１６に示すように、酸化シリコン膜３７の上部に配線３９Ａ、３９Ｂ、３９Ｃを形成する。配線３９Ａ、３９Ｂ、３９Ｃは、酸化シリコン膜３５の上部にスパッタリング法で膜厚５０nm程度のＴｉＮ膜、膜厚５００nm程度のＡｌ（アルミニウム）合金膜および膜厚１０nm程度のＴｉＮ膜を堆積した後、フォトレジストをマスクにしたエッチングでこれらの膜をパターニングして同時に形成する。以上の工程により、本実施の形態のＤＲＡＭが略完成する。

【００３５】

本実施の形態のＤＲＡＭの製造方法によれば、メモリセル選択用ＭＩＳＦＥＴ、周辺回路のｎチャネル型ＭＩＳＦＥＴおよびｐチャネル型ＭＩＳＦＥＴのそれぞれのソース領域、ドレイン領域を形成した後の工程で、配線用導電膜および絶縁膜を５００℃以下の温度で堆積することにより、高温熱処理による不純物の基板内への拡散が抑制され、ソース領域、ドレイン領域の浅接合化が実現できるので、ＤＲＡＭの高性能化を推進することができる。

【００３６】

本実施の形態のＤＲＡＭの製造方法によれば、すべての配線用導電膜をメタル材料（Ｗ、Ａｌ）またはメタル化合物材料（ＴｉＮ）で構成することにより、微細化に伴う配線抵抗を低減することができるので、ＤＲＡＭの高速化を推進することができる。配線用導電膜としては、本実施の形態で用いたもの以外にも、例えばＴｉ、銅（Ｃｕ）などを使用することができる。

【００３７】

（実施の形態２）

前記実施の形態１では、メモリセル選択用ＭＩＳＦＥＴのゲート電極８Ａ（ワード線ＷＬ）、周辺回路のｎチャネル型ＭＩＳＦＥＴのゲート電極８Ｂおよびｐチャネル型ＭＩＳＦＥＴのゲート電極８Ｃのそれぞれを４７５℃程度の成膜温度で堆積したW膜で構成したが、本実施の形態では、図１７に示すように、ゲート電極８Ａ（ワード線ＷＬ）およびゲート電極８Ｂ、８Ｃを多結晶シリコン膜とＴｉＮ膜とW膜の積層膜で構成する。

【００３８】

この場合は、まずＣＶＤ法を用いて膜厚２５０nm程度の多結晶シリコン膜を５４０℃程度の成膜温度で堆積した後、多結晶シリコン膜の上部に多結晶シリコン膜とW膜との接着層となる膜厚５０nm程度のＴｉＮ膜をスパッタリング法で堆積する。多結晶シリコン膜には$1.5\times10^{20}cm^{-3}$程度のｎ型不純物（Ｐ）を添加する。

【００３９】

次に、ＴｉＮ膜の上部にＣＶＤ法を用いて膜厚１００nm程度のW膜を４７５℃程度の成膜温度で堆積し、続いてW膜の上部にプラズマＣＶＤ法を用いて膜厚２５０nm程度の窒化シリコン膜９を３６０℃程度の成膜温度で堆積した後、フォトレジストをマスクにしたエッチングで窒化シリコン膜９、W膜、ＴｉＮ膜および多結晶シリコン膜をパターニングし、ゲート電極８Ａ（ワード線ＷＬ）およびゲート電極８Ｂ、８Ｃを同時に形成する。それ以外の工程は、前記実施の形態１と同じである。

【００４０】

本実施の形態のＤＲＡＭの製造方法によれば、メモリセル選択用ＭＩＳＦＥＴ、周辺回路のｎチャネル型ＭＩＳＦＥＴおよびｐチャネル型ＭＩＳＦＥＴのそれぞれのソース領域、ドレイン領域を形成した後の工程で、配線用導電膜および絶縁膜を５００℃以下の温度で堆積することにより、ＤＲＡＭの高性能化を推進することができる。

【００４１】

本実施の形態のＤＲＡＭの製造方法によれば、すべての配線用導電膜をメタル材料またはメタル化合物材料を含んだ材料で構成することにより、前記実施の形態１と同様、ＤＲＡＭの高速化を推進することができる。

【００４２】

（実施の形態３）

本実施の形態のＤＲＡＭを製造するには、まず図１８に示すように、p^-型の単結晶シリコンからなる半導体基板１の表面を熱酸化して薄い酸化シリコン膜４３を形成した後、ＣＶＤ法を用いて酸化シリコン膜４３上に窒化シリコン膜４４

を堆積し、フォトレジストをマスクにして窒化シリコン膜４４をエッチングすることにより、素子分離領域の窒化シリコン膜４４を除去する。

【００４３】

次に、図１９に示すように、窒化シリコン膜４４をマスクにして素子分離領域の半導体基板１をエッチングすることにより、深さ0.３５μｍ程度の浅溝５２を形成し、次いでこの浅溝５２の内部に熱酸化法で膜厚１０μｍ程度の酸化シリコン膜５３を形成する。

【００４４】

次に、図２０に示すように、浅溝５２の内部に酸化シリコン膜５４を埋め込む。浅溝５２の内部に酸化シリコン膜５４を埋め込むには、ＣＶＤ法を用いて半導体基板１上に膜厚６００㎚程度の酸化シリコン膜５４を堆積した後、化学的機械研磨（ＣＭＰ）法でこの酸化シリコン膜５４を研磨する。その後、半導体基板１上に残った窒化シリコン膜４４をエッチングで除去する。

【００４５】

次に、図２１に示すように、メモリアレイを形成する領域と周辺回路のｎチャネル型ＭＩＳＦＥＴを形成する領域の半導体基板１にｐ型不純物（Ｂ）をイオン注入してｐ型ウエル３を形成し、周辺回路のｐチャネル型ＭＩＳＦＥＴを形成する領域の半導体基板１にｎ型不純物（Ｐ）をイオン注入してｎ型ウエル４を形成する。このとき、ｎ型不純物、ｐ型不純物のそれぞれの分布のピークが浅溝５２の深さとほぼ一致するようにイオン注入を行うことにより、ｐ型ウエル３をｐ型チャネルストッパ層と兼用させ、ｎ型ウエル４をｎ型チャネルストッパ層と兼用させる。

【００４６】

次に、図２２に示すように、浅溝５２で囲まれたｐ型ウエル３、ｎ型ウエル４のそれぞれの活性領域の表面を８００℃程度の温度で熱酸化して膜厚８㎚程度のゲート酸化膜７を形成する。これ以後の工程は、前記実施の形態１と同じである。

【００４７】

本実施の形態のＤＲＡＭの製造方法によれば、ｐ型ウエル３をｐ型チャネルストッパ層と兼用させ、ｎ型ウエル４をｎ型チャネルストッパ層と兼用させることにより、ｐ型チャネルストッパ層を形成するためのイオン注入とｎ型ウエル４を形成するためのイオン注入とが不要となるので、前記実施の形態１の製造方法と比べてＤＲＡＭの製造工程を簡略化することができる。

【００４８】

本実施の形態のＤＲＡＭの製造方法によれば、半導体基板１に形成した浅溝５２で素子分離を行うことにより、ＤＲＡＭの微細化を促進することができる。ま

た、素子分離領域と活性領域との間の段差がなくなるため、半導体基板１上に堆積したゲート電極材料などの導電膜の膜厚が段差部で薄くなったりする不具合を防止することができる。

【００４９】

（実施の形態４）

本実施の形態のＤＲＡＭを製造するには、まず前記実施の形態１の製造方法に従って、メモリセル選択用ＭＩＳＦＥＴ、周辺回路のｎチャネル型ＭＩＳＦＥＴおよびｐチャネル型ＭＩＳＦＥＴを形成した後、それらの上部に酸化シリコン膜１６を堆積し、続いてこの酸化シリコン膜１６を化学的機械研磨（ＣＭＰ）法で研磨してその表面を平坦化した後、図２３に示すように、フォトレジストをマスクにして酸化シリコン膜１６およびゲート酸化膜７をエッチングすることにより、メモリセル選択用ＭＩＳＦＥＴのｎ型半導体領域１１（ソース領域、ドレイン領域）の上部に接続孔１７、１８を形成する。

【００５０】

次に、図２４に示すように、接続孔１７、１８の内部に多結晶シリコンのプラグ２９を埋め込む。このプラグ２９は、ＣＶＤ法を用いて酸化シリコン膜１６の上部に膜厚３００nm程度の多結晶シリコン膜を５４０℃程度の成膜温度で堆積した後、この多結晶シリコン膜をエッチバックして形成する。この多結晶シリコン膜にはｎ型不純物（Ｐ）を添加する。

【００５１】

次に、図２５に示すように、多結晶シリコンのプラグ２９の表面にＴｉシリサイド層３１を形成する。Ｔｉシリサイド層３１は、接続孔１７、１８の内部に多結晶シリコンのプラグ２９を埋め込んだ直後に、スパッタリング法を用いて酸化シリコン膜１６の上部に膜厚５０nm程度のＴｉ膜を堆積し、８００℃程度のアニールでこのＴｉ膜と多結晶シリコン（プラグ２９）とを反応させた後、酸化シリコン膜１６の上部に残った未反応のＴｉ膜をウェットエッチングで除去して形成する。

【００５２】

次に、図２６に示すように、プラズマＣＶＤ法を用いて酸化シリコン膜１６の上部に膜厚５０nm程度の酸化シリコン膜４５を３６０℃程度の成膜温度で堆積した後、フォトレジストをマスクにして酸化シリコン膜４５、酸化シリコン膜１６およびゲート酸化膜７をエッチングすることにより、周辺回路のｎチャネル型ＭＩＳＦＥＴのn^+型半導体領域１３（ソース領域、ドレイン領域）の上部に接続孔１９、２０を形成し、ｐチャネル型ＭＩＳＦＥＴのp^+型半導体領域１５（ソース領域、ドレイン領域）の上部に接続孔２１、２２を形成する。またこのとき、メモリセル選択用ＭＩＳＦＥＴのｎ型半導体領域１１（ソース領域、ドレイン

領域）の一方の上部に形成された前記接続孔１７の上部の酸化シリコン膜４５を除去する。

【００５３】

次に、図２７に示すように、前記実施の形態１の方法に従って周辺回路の接続孔１９～２２の内部にＴｉＮとＷの積層膜で構成されたプラグ２３を埋め込んだ後、図２８に示すように、酸化シリコン膜４５の上部にビット線BL_1, BL_2と周辺回路の配線２４Ａ、２４Ｂを形成し、次いでビット線BL_1, BL_2と配線２４Ａ、２４Ｂのそれぞれの側壁にサイドウォールスペーサ２６を形成する。

【００５４】

次に、図２９に示すように、前記実施の形態１の方法に従ってビット線BL_1, BL_2と配線２４Ａ、２４Ｂのそれぞれの上部に酸化シリコン膜２７を堆積し、次いでその表面を化学的機械研磨（ＣＭＰ）法で研磨して平坦化した後、フォトレジストをマスクにして酸化シリコン膜２７をエッチングすることにより、メモリセル選択用ＭＩＳＦＥＴのｎ型半導体領域１１（ソース領域、ドレイン領域）の一方の上部に形成された前記接続孔１８の上部に自己整合（セルフアライン）で接続孔２８を形成する。

【００５５】

次に、図３０に示すように、接続孔２８の底部に露出した前記Ｔｉシリサイド層３０の表面の異物をＡｒ（アルゴン）などを用いたスパッタエッチングで除去した後、前記実施の形態１の方法に従って接続孔２８の内部に多結晶シリコンあるいはＷのプラグ３０を埋め込む。このとき、多結晶シリコンのプラグ２９の表面にＴｉシリサイド層３１が形成されていない場合には、接続孔２８の内部にプラグ３０を埋め込む際にプラグ２９（多結晶シリコン）の表面が酸化されるので、コンタクト抵抗が増加する。このとき、プラグ２９（多結晶シリコン）の表面の酸化膜を除去するためのウェットエッチングを行うと、接続孔２８の底部や側壁の絶縁膜がサイドエッチングされるので、接続孔１８、２８の形状不良を引き起こす。

【００５６】

本実施の形態のＤＲＡＭの製造方法によれば、接続孔１８の内部に埋め込まれた前記多結晶シリコンのプラグ２９の表面にＴｉシリサイド層３１を形成してプラグ２９（多結晶シリコン）の表面の酸化を防いでいるので、上記のような問題は生じない。すなわち、接続孔２８の内部に埋め込むプラグ３０の材料が多結晶シリコンの場合は、ウェットエッチングを行わなくともコンタクト抵抗を低減することができる。また、プラグ３０の材料がＷなどのメタル材料の場合は、Ｔｉシリサイド層３１の表面の異物をＡｒスパッタなどで除去するだけでコンタクト抵抗を低減することができる。

【００５７】

プラグ２９（多結晶シリコン）の表面の酸化を防止する対策として、接続孔１７、１８の内部に多結晶シリコンのプラグ２９を埋め込んだ直後に、プラグ２９の表面にＴｉなどのメタル膜を選択成長させてもよい。

【００５８】

次に、図３１に示すように、前記実施の形態１の方法に従って接続孔２８の上部に情報蓄積用容量素子Ｃを形成し、次いで情報蓄積用容量素子Ｃの上部に酸化シリコン膜３５を堆積した後、フォトレジストをマスクにして酸化シリコン膜３５をエッチングすることにより、情報蓄積用容量素子Ｃのプレート電極３４の上部に接続孔３６を形成する。また同時に、酸化シリコン膜３５および酸化シリコン膜２７をエッチングすることにより、周辺回路の配線２４Ａの上部に接続孔３７を形成し、配線２４Ｂの上部に接続孔３８を形成する。

【００５９】

次に、図３２に示すように、接続孔３５、３６、３７の内部にＴｉＮのプラグ５５を埋め込む。ＴｉＮのプラグ５５は、スパッタリング法およびＣＶＤ法を用いて酸化シリコン膜３５の上部にＴｉＮ膜を堆積した後、このＴｉＮ膜をエッチバックして形成する。

【００６０】

プラグ５５の材料にＴｉＮとWの積層膜を用いる場合は、酸化シリコン膜３５の上部にＴｉＮ膜とW膜を堆積した後、これらの膜をエッチバックする。この場合は、ＴｉＮとWのエッチングレートに差があるので、酸化シリコン膜３５上のＴｉＮ膜を完全に除去しようとすると、接続孔３５、３６、３７の内部に埋め込まれたWの表面が大きく削られる。そのため、酸化シリコン膜３５の上部にＡｌ配線を形成すると、接続孔３５、３６、３７の上部でＡｌ配線が断線する虞れがある。他方、酸化シリコン膜３５上のＴｉＮ膜を完全にエッチングせずに残した場合は、その上部にＡｌ配線を形成した際、ＴｉＮとＡｌの界面で膜剥がれが生じる虞れがある。

【００６１】

本実施の形態のＤＲＡＭの製造方法によれば、接続孔３５、３６、３７の内部に埋め込むプラグ材料をＴｉＮの単層とすることにより、上記した不具合を回避することができる。

【００６２】

次に、図３３に示すように、酸化シリコン膜３５の上部に配線３９Ａ、３９Ｂ、３９Ｃを形成する。配線３９Ａ、３９Ｂ、３９Ｃは、酸化シリコン膜３５の上部にスパッタリング法で膜厚５００nm程度のＡｌ合金膜および膜厚１０nm程度のＴｉＮ膜を堆積した後、フォトレジストをマスクにしたエッチングでこれらの膜

をパターニングして形成する。以上の工程により、本実施の形態のＤＲＡＭが略完成する。

【００６３】

（実施の形態５）

本実施の形態のＤＲＡＭは、情報蓄積用容量素子Ｃのプレート電極３４を構成する導電材（ＴｉＮ）を周辺回路の配線材料として用い、プレート電極３４と周辺回路の配線を同一工程で形成する。

【００６４】

このＤＲＡＭを製造するには、図３４に示すように、前記実施の形態１の製造方法に従って、ビット線$ＢＬ_1$, $ＢＬ_2$と周辺回路の配線２４Ａ、２４Ｂの上部に堆積した酸化シリコン膜２７の上部に情報蓄積用容量素子の蓄積電極３２を形成した後、図３５に示すように、蓄積電極３２の上部に堆積した$Ｔａ_2Ｏ_5$膜とＴｉＮ膜とをパターニングすることにより、情報蓄積用容量素子Ｃの容量絶縁膜３３とプレート電極３４とを形成し、同時に周辺回路の配線５６、５７を形成する。

【００６５】

容量絶縁膜である$Ｔａ_2Ｏ_5$膜とその上部に堆積したＴｉＮ膜との積層膜で構成された配線５６、５７は、接続孔を通じて下層の配線と直接には接続できない。この場合、$Ｔａ_2Ｏ_5$膜を堆積した後に周辺回路の$Ｔａ_2Ｏ_5$膜をエッチングで除去してからＴｉＮ膜を堆積すれば、下層の配線と直接に接続できるが、工程が増加する。また、$Ｔａ_2Ｏ_5$膜の一部をエッチングするので、容量絶縁膜の信頼性が低下する虞れもある。そこで本実施の形態では、以下の方法で配線５６、５７と下層の配線を接続する。

【００６６】

まず図３６に示すように、情報蓄積用容量素子Ｃおよび配線５６、５７の上部に酸化シリコン膜３５を堆積した後、フォトレジストをマスクにして酸化シリコン膜３５をエッチングすることにより、情報蓄積用容量素子Ｃのプレート電極３４の上部に接続孔３６を形成する。また同時に、配線５６、５７が形成された領域の酸化シリコン膜３５、酸化シリコン膜２７および窒化シリコン膜２５をエッチングして周辺回路の配線２４Ａの上部に接続孔３７を形成し、配線２４Ｂの上部に接続孔３８を形成する。このとき、接続孔３７の内部に配線５６の一端が露出し、接続孔３８の内部に配線５７の一端が露出する。

【００６７】

次に、図３７に示すように、接続孔３５、３６、３７の内部にＴｉＮのプラグ５５を埋め込んだ後、酸化シリコン膜３５の上部に配線３９Ａ、３９Ｂ、３９Ｃ、３９Ｄを形成する。これにより、周辺回路の配線５６は配線３９Ｃを介して下

層の配線２４Ａと接続され、配線５７は配線３９Ｄを介して下層の配線２４Ｂと接続される。

【００６８】

本実施の形態のＤＲＡＭの製造方法によれば、情報蓄積用容量素子Ｃのプレート電極材料（ＴｉＮ）を周辺回路の配線材料と共用することにより、周辺回路の配線層を増やして配線設計の自由度を向上させることができる。

【００６９】

本実施の形態のＤＲＡＭの製造方法によれば、ＤＲＡＭの製造工程を増やすことなく、周辺回路の配線層を増やすことができる。

【００７０】

（実施の形態６）

前記実施の形態５のＤＲＡＭの製造方法では、周辺回路の配線５６、５７を形成した領域の酸化シリコン膜３５、酸化シリコン膜２７および窒化シリコン膜２５をエッチングして配線２４Ａの上部に接続孔３７を形成し、配線２４Ｂの上部に接続孔３８を形成することにより、接続孔３７の内部に配線５６の一端を露出させ、接続孔３８の内部に配線５７の一端を露出させる（図３６参照）。このとき、絶縁膜（酸化シリコン膜、窒化シリコン膜）に対する配線材料（ＴｉＮ）のエッチング選択比が小さいと、プレート電極３４や配線５６、５７がエッチングされて膜厚が薄くなる虞れがある。そこで本実施の形態では、以下の方法で配線５６、５７と下層の配線を接続する。

【００７１】

まず図３８に示すように、蓄積電極３２の上部に堆積したTa_2O_5膜とＴｉＮ膜と第３の膜（高選択比膜５８）をパターニングすることにより、情報蓄積用容量素子Ｃの容量絶縁膜３３とプレート電極３４とを形成し、同時に周辺回路の配線５６、５７を形成する。高選択比膜５８は、酸化シリコン膜や窒化シリコン膜に対するエッチング選択比が大きい材料であれば、絶縁膜であっても導電膜であってもよい。

【００７２】

次に、図３９に示すように、情報蓄積用容量素子Ｃおよび配線５６、５７の上部に堆積した酸化シリコン膜３５をフォトレジストをマスクにしてエッチングすることにより、情報蓄積用容量素子Ｃのプレート電極３４の上部に接続孔３６を形成する。また同時に、配線５６、５７が形成された領域の酸化シリコン膜３５、酸化シリコン膜２７および窒化シリコン膜２５をエッチングして周辺回路の配線２４Ａの上部に接続孔３７を形成し、配線２４Ｂの上部に接続孔３８を形成する。このとき、プレート電極３４の上部と配線５６、５７の上部は高選択比膜５８で覆われているので、プレート電極３４や配線５６、５７がエッチングされて

膜厚が薄くなることはない。

【００７３】

次に、図４０に示すように、エッチングの最終段階でプレート電極３４の上部と配線５６、５７の上部を覆っている高選択比膜５８をエッチングすることにより、接続孔３７の内部に配線５６の一端が露出し、接続孔３８の内部に配線５７の一端が露出する。その後は、前記実施の形態５の方法に従って酸化シリコン膜３５の上部に配線３９Ａ、３９Ｂ、３９Ｃ、３９Ｄを形成する。

【００７４】

本実施の形態のＤＲＡＭの製造方法によれば、接続孔（３６、３７、３８）を形成する工程でプレート電極３４および配線５６、５７がエッチングされて膜厚が薄くなる不具合を確実に防止することができる。

【００７５】

周辺回路の配線５６、５７と下層の配線との接続は、次のような方法で行ってもよい。

【００７６】

まず、図４１に示すように、蓄積電極３２の上部に堆積したTa_2O_5膜とＴｉＮ膜と高選択比膜５８とをパターニングして情報蓄積用容量素子Ｃの容量絶縁膜３３とプレート電極３４とを形成し、同時に周辺回路の配線５６、５７を形成する。

【００７７】

次に、図４２に示すように、フォトレジスト５９をマスクにして配線５６、５７が形成された領域の酸化シリコン膜３５、酸化シリコン膜２７および窒化シリコン膜２５をエッチングして周辺回路の配線２４Ａの上部に接続孔３７を形成し、配線２４Ｂの上部に接続孔３８を形成する。このとき、配線５６、５７の上部を覆う高選択比膜５８がエッチングストッパとなるので、配線５６、５７がエッチングされて膜厚が薄くなることはない。

【００７８】

次に、図４３に示すように、エッチングの最終段階で配線５６、５７の上部を覆っている高選択比膜５８をエッチングすることにより、接続孔３７の内部に配線５６の一端を露出され、接続孔３８の内部に配線５７の一端を露出させる。

【００７９】

その後、図４４に示すように、酸化シリコン膜２７の上部に堆積した導電膜をパターニングして接続孔３７の上部に配線６０を形成し、接続孔３８の上部に配線６１を形成する。これにより、周辺回路の配線５６は配線６０を介して下層の配線２４Ａと接続され、配線５７は配線６１を介して下層の配線２４Ｂと接続される。

【００８０】

周辺回路の配線５６、５７と下層の配線との接続は、次のような方法で行ってもよい。

【００８１】

まず、図４５に示すように、蓄積電極３２の上部に堆積したTa_2O_5膜とＴｉＮ膜と高選択比膜５８とをパターニングして情報蓄積用容量素子Ｃの容量絶縁膜３３とプレート電極３４とを形成し、同時に周辺回路の配線５６、５７を形成した後、情報蓄積用容量素子Ｃおよび配線５６、５７の上部に堆積した酸化シリコン膜３５をフォトレジストをマスクにしてエッチングすることにより、情報蓄積用容量素子Ｃのプレート電極３４の上部に接続孔３６を形成し、配線５６の上部に接続孔３７を形成する。また同時に、配線５７が形成された領域の酸化シリコン膜３５、酸化シリコン膜２７および窒化シリコン膜２５をエッチングして周辺回路の配線２４Ｂの上部に接続孔３８を形成する。このとき、プレート電極３４の上部と配線５６、５７の上部は高選択比膜５８で覆われているので、プレート電極３４や配線５６、５７がエッチングされて膜厚が薄くなることはない。

【００８２】

次に、図４６に示すように、エッチングの最終段階で配線５６、５７の上部を覆っている高選択比膜５８をエッチングすることにより、接続孔３７の内部に配線５６の一部を露出され、接続孔３８の内部に配線５７の一端を露出させる。

【００８３】

次に、図４７に示すように、接続孔３５、３６、３７の内部にＴｉＮのプラグ５５を埋め込んだ後、酸化シリコン膜３５の上部に配線３９Ａ、３９Ｂ、３９Ｃを形成する。これにより、周辺回路の配線５６は、配線３９Ｃおよび配線５７を介して下層の配線２４Ｂと接続される。

【００８４】

（実施の形態７）

本実施の形態は、ＣＭＯＳ(Complementary Metal Oxide Semiconductor) ＦＥＴの製造方法に適用したものである。

【００８５】

まず図４８に示すように、半導体基板１の表面に膜厚４００nm程度のフィールド酸化膜２を形成する。フィールド酸化膜２は、窒化シリコン膜をマスクにして半導体基板１を１０００℃程度の温度でアニールして形成する。

【００８６】

続いて、ｐチャネル型ＭＩＳＦＥＴを形成する領域の半導体基板１の表面をフォトレジスト７０で覆い、ｎチャネル型ＭＩＳＦＥＴを形成する領域の半導体基板１にｐ型不純物（Ｂ）をイオン注入してｐ型ウエル３を形成する。

【００８７】

次に、フォトレジスト７０を除去し、半導体基板１をアニールして上記ｐ型不純物のイオン注入による結晶欠陥を回復させた後、図４９に示すように、半導体基板１の全面にｐ型不純物（Ｂ）をイオン注入し、ｎチャネル型ＭＩＳＦＥＴのチャネル領域７２を形成する。このとき、ｐチャネル型ＭＩＳＦＥＴを形成する領域の半導体基板１にもｐ型不純物（Ｂ）がイオン注入される。

【００８８】

次に、図５０に示すように、ｐ型ウエル３をフォトレジスト７１で覆い、ｐチャネル型ＭＩＳＦＥＴを形成する領域の半導体基板１にｎ型不純物（Ｐ）を２回イオン注入してｎ型ウエル４を形成する。この２回のイオン注入の一方は、デバイス特性を向上させるためのもので、比較的低いエネルギーで不純物を注入する。またもう一方は、素子分離とウエル抵抗の低減とを兼ねたもので、比較的高いエネルギーで不純物を注入する。

【００８９】

次に、図５１に示すように、ｎ型ウエル４にｎ型不純物（Ｐ）をイオン注入することにより、ｐチャネル型ＭＩＳＦＥＴのチャネル領域７３を形成すると共に、前記ｎチャネル型ＭＩＳＦＥＴのチャネル領域を形成する工程でイオン注入されたｐ型不純物を補償する。

【００９０】

なお、上記の方法では、ｐ型ウエル３を形成した後、フォトレジスト７０を除去し、次いで半導体基板１をアニールしてｐ型不純物のイオン注入による結晶結果を回復させたが、このアニールを省略し、フォトレジスト７０を残したままｐ型ウエル３にｐ型不純物をイオン注入することによって、ｎチャネル型ＭＩＳＦＥＴのチャネル領域７２を形成してもよい。

【００９１】

次に、フォトレジスト７１を除去した後、図５２に示すように、ｐ型ウエル３、ｎ型ウエル４のそれぞれの活性領域の表面に熱酸化法でゲート酸化膜７を形成し、次いでこのゲート酸化膜７の上部にｎチャネル型ＭＩＳＦＥＴのゲート電極８Ｂおよびｐチャネル型ＭＩＳＦＥＴのゲート電極８Ｃを形成する。

【００９２】

これ以後の工程は、図５３に示すフローに従って行う。すなわち、ソース領域、ドレイン領域を形成するための不純物の活性化処理は９００℃程度の温度で行う。また、第１層目の配線とソース領域、ドレイン領域のコンタクト抵抗を低減するために接続孔の底部にＴｉシリサイドなどを形成する処理は８００℃で行い、それ以降の配線用導電膜および絶縁膜の堆積は４５０℃以下で行う。

【００９３】

また、前記実施の形態３のように、浅溝で素子分離を行う場合は、図５４に示すフローに従って行う。すなわち、ソース領域、ドレイン領域を形成するための不純物の活性化処理は９００℃程度の温度で行う。また、第１層目の配線とソース領域、ドレイン領域のコンタクト抵抗を低減するために接続孔の底部にＴｉシリサイドなどを形成する処理は８００℃で行い、それ以降の配線用導電膜および絶縁膜の堆積は４５０℃以下で行う。

【００９４】

本実施の形態のＣＭＯＳＦＥＴの製造方法によれば、ｐ型ウエルとｎチャネル型ＭＩＳＦＥＴのチャネル領域の形成およびｎ型ウエルとｐチャネル型ＭＩＳＦＥＴのチャネル領域の形成を合計２回のフォトレジスト工程で行うことができるので、ＣＭＯＳ・ＬＳＩの製造工程を低減することができる。

【００９５】

本実施の形態のＣＭＯＳＦＥＴの製造方法によれば、工程を経るに従い熱処理温度の上限を下げることにより、高温熱処理による不純物の基板内への拡散が抑制され、ソース領域、ドレイン領域の浅接合化が実現できるので、ＣＭＯＳ・ＬＳＩの高性能化を推進することができる。

【００９６】

（実施の形態８）

本実施の形態のＣＭＯＳＦＥＴの製造方法は、まず図５５に示すように、前記実施の形態７の製造方法に従ってｐ型ウエル３のゲート酸化膜７にｎチャネル型ＭＩＳＦＥＴのゲート電極８Ｂを形成し、ｎ型ウエル４のゲート酸化膜７上にｐチャネル型ＭＩＳＦＥＴのゲート電極８Ｃを形成する。

【００９７】

次に、図５６に示すように、ｎ型ウエル４の表面をフォトレジスト７４で覆い、ｐ型ウエル３にＰとＡｓをイオン注入する。このとき、ＰをＡｓよりも深く、かつ少ないドーズ量でイオン注入する。あるいはＰを斜め方向からイオン注入してもよい。

【００９８】

次に、フォトレジスト７４を除去した後、図５７に示すように、ｐ型ウエル３の表面をフォトレジスト７５で覆い、ｎ型ウエル４にＢをイオン注入する。

【００９９】

次に、フォトレジスト７５を除去した後、図５８に示すように、不純物活性化のアニールを行い、ｎチャネル型ＭＩＳＦＥＴのソース領域、ドレイン領域とｐチャネル型ＭＩＳＦＥＴのソース領域、ドレイン領域とを形成する。ｎチャネル型ＭＩＳＦＥＴのソース領域、ドレイン領域は、Ａｓの拡散によって形成される高不純物濃度のn^+型半導体領域７６の周囲および底部がＰの拡散によって形成

される低不純物濃度のｎ⁻型半導体領域７７で囲まれた２重拡散ドレイン(Double Diffused Drain) 構造で構成され、ｐチャネル型ＭＩＳＦＥＴのソース領域、ドレイン領域はｐ型半導体領域７８からなるシングルドレイン構造で構成される。

【０１００】

本実施の形態のＣＭＯＳＦＥＴの製造方法によれば、２重拡散ドレイン構造で構成されたｎチャネル型ＭＩＳＦＥＴのソース領域、ドレイン領域とシングルドレイン構造で構成されたｐチャネル型ＭＩＳＦＥＴのソース領域、ドレイン領域を合計３回のイオン注入で形成することができるので、ＣＭＯＳ・ＬＳＩの製造工程を簡略化することができる。また、ｎチャネル型ＭＩＳＦＥＴのソース領域、ドレイン領域を２重拡散ドレイン構造で構成することにより、ドレイン領域端部の高電界を緩和することができるので、ゲート長を微細化した場合に問題となるｎチャネル型ＭＩＳＦＥＴのホットエレクトロン効果を抑制することができる。

【０１０１】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【０１０２】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【０１０３】

本発明の製造方法によれば、ＭＩＳＦＥＴを形成した後の工程で半導体基板上に堆積するすべての導電膜を５００℃以下の温度で堆積することにより、熱処理工程を低減して浅接合のＭＩＳＦＥＴを形成することができる。

【０１０４】

本発明の製造方法によれば、ＭＩＳＦＥＴを形成した後の工程で半導体基板上に堆積するすべての絶縁膜を５００℃以下の温度で堆積することにより、熱処理工程を低減して浅接合のＭＩＳＦＥＴを形成することができる。

【０１０５】

本発明の製造方法によれば、すべての導電膜をメタルまたはメタル化合物で構成することにより、配線抵抗を低減することができる。

【０１０６】

本発明の製造方法によれば、ＭＩＳＦＥＴを有する半導体集積回路装置の製造プロセスを簡略化することができる。

【図面の簡単な説明】

【図１】

本発明の実施の形態１である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図２】

本発明の実施の形態１である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図３】

本発明の実施の形態１である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図４】

本発明の実施の形態１である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図５】

本発明の実施の形態１である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図６】

本発明の実施の形態１である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図７】

本発明の実施の形態１である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図８】

本発明の実施の形態１である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図９】

本発明の実施の形態１である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図１０】

本発明の実施の形態１である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図１１】

本発明の実施の形態１である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図１２】

本発明の実施の形態１である半導体集積回路装置の製造方法を示す半導体基板

の要部断面図である。

【図１３】

本発明の実施の形態１である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図１４】

本発明の実施の形態１である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図１５】

本発明の実施の形態１である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図１６】

本発明の実施の形態１である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図１７】

本発明の実施の形態２である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図１８】

本発明の実施の形態３である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図１９】

本発明の実施の形態３である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図２０】

本発明の実施の形態３である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図２１】

本発明の実施の形態３である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図２２】

本発明の実施の形態３である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図２３】

本発明の実施の形態４である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図２４】

本発明の実施の形態４である半導体集積回路装置の製造方法を示す半導体基板

の要部断面図である。

【図２５】

本発明の実施の形態４である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図２６】

本発明の実施の形態４である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図２７】

本発明の実施の形態４である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図２８】

本発明の実施の形態４である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図２９】

本発明の実施の形態４である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図３０】

本発明の実施の形態４である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

Ｐの拡散定数とアニール時間との関係を示すグラフである。

【図３１】

本発明の実施の形態４である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図３２】

本発明の実施の形態４である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図３３】

本発明の実施の形態４である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図３４】

本発明の実施の形態５である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図３５】

本発明の実施の形態５である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図３６】

本発明の実施の形態５である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図３７】

本発明の実施の形態５である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図３８】

本発明の実施の形態６である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図３９】

本発明の実施の形態６である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図４０】

本発明の実施の形態６である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図４１】

本発明の実施の形態６である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図４２】

本発明の実施の形態６である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図４３】

本発明の実施の形態６である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図４４】

本発明の実施の形態６である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図４５】

本発明の実施の形態６である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図４６】

本発明の実施の形態６である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図４７】

本発明の実施の形態６である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図４８】

本発明の実施の形態７である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図４９】

本発明の実施の形態７である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図５０】

本発明の実施の形態７である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図５１】

本発明の実施の形態７である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図５２】

本発明の実施の形態７である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図５３】

本発明の実施の形態７である半導体集積回路装置の製造方法を示すフロー図である。

【図５４】

本発明の実施の形態７である半導体集積回路装置の製造方法を示すフロー図である。

【図５５】

本発明の実施の形態８である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図５６】

本発明の実施の形態８である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図５７】

本発明の実施の形態８である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図５８】

本発明の実施の形態８である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【符号の説明】

１　半導体基板

２　フィールド酸化膜

３　ｐ型ウエル

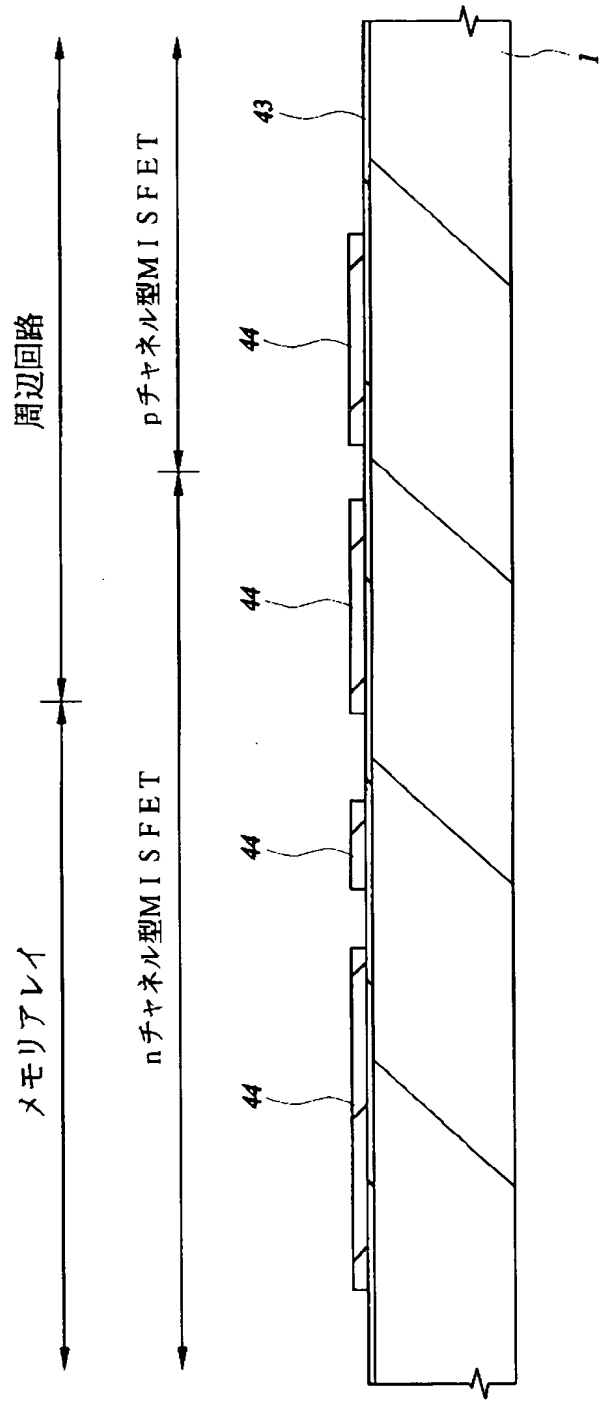
４　ｎ型ウエル
５　ｐ型チャネルストッパ層
６　ｎ型チャネルストッパ層
７　ゲート酸化膜
８Ａ、８Ｂ、８Ｃ　ゲート電極
９　窒化シリコン膜
１０　サイドウォールスペーサ
１１　ｎ型半導体領域
１２　n^-型半導体領域
１３　n^+型半導体領域
１４　p^-型半導体領域
１５　p^+型半導体領域
１６　酸化シリコン膜
１７　接続孔
１８　接続孔
１９　接続孔
２０　接続孔
２１　接続孔
２２　接続孔
２３　プラグ
２４Ａ、２４Ｂ　配線
２５　窒化シリコン膜
２６　サイドウォールスペーサ
２７　酸化シリコン膜
２８　接続孔
２９　プラグ
３０　プラグ
３１　Ｔｉシリサイド層
３２　蓄積電極（下部電極）
３３　容量絶縁膜
３４　プレート電極（上部電極）
３５　酸化シリコン膜
３６　接続孔
３７　接続孔
３８　接続孔
３９Ａ、３９Ｂ、３９Ｃ、３９Ｄ　配線

４３　酸化シリコン膜
４４　窒化シリコン膜
４５　酸化シリコン膜
５０　酸化シリコン膜
５１　窒化シリコン膜
５２　浅溝
５３　酸化シリコン膜
５４　酸化シリコン膜
５５　プラグ
５６　配線
５７　配線
５８　高選択比膜
５９　フォトレジスト
６０　配線
６１　配線
７０　フォトレジスト
７１　フォトレジスト
７２　チャネル領域
７３　チャネル領域
７４　フォトレジスト
７５　フォトレジスト
７６　n^+型半導体領域
７７　n^-型半導体領域
７８　p型半導体領域
　Ｃ　情報蓄積用容量素子
BL_1, BL_2　ビット線
ＷＬ　ワード線

【書類名】　図面

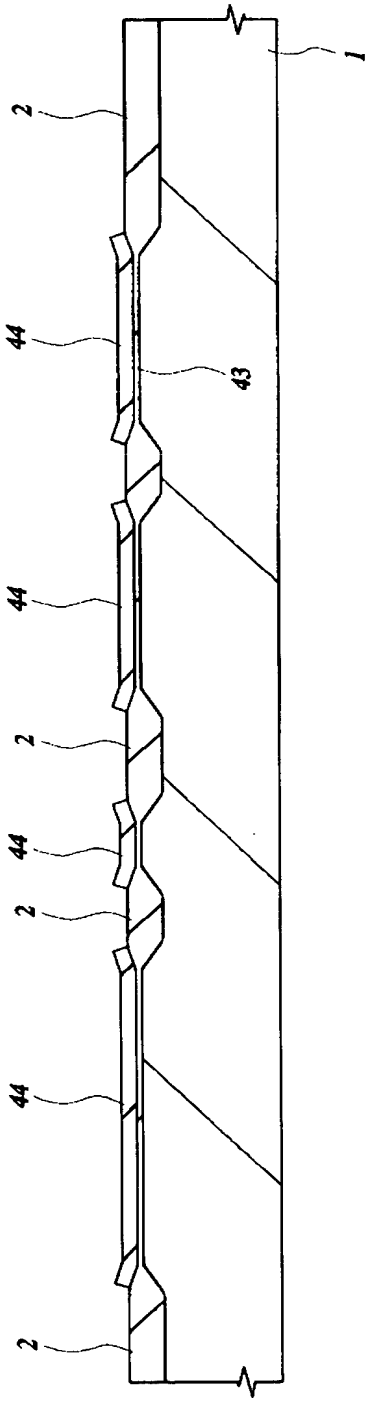
【図１】

図　1



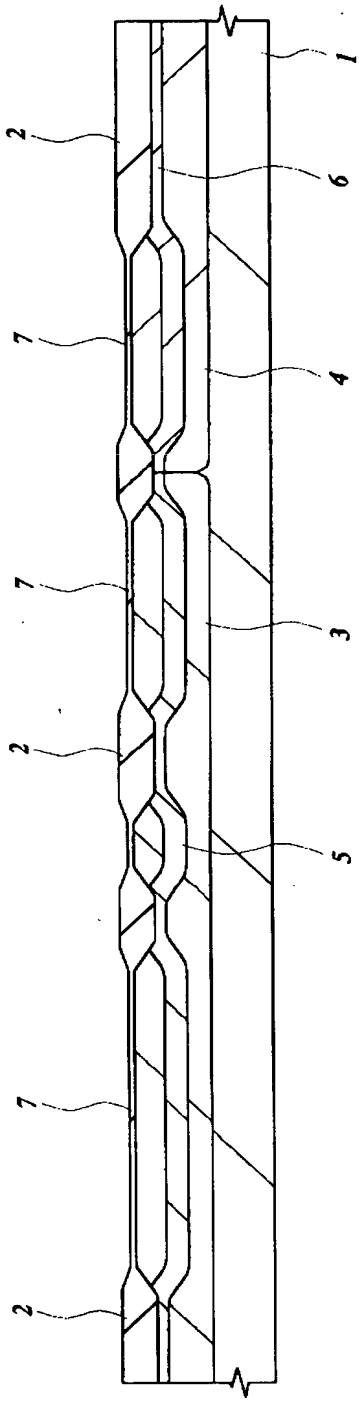
【図２】

図２



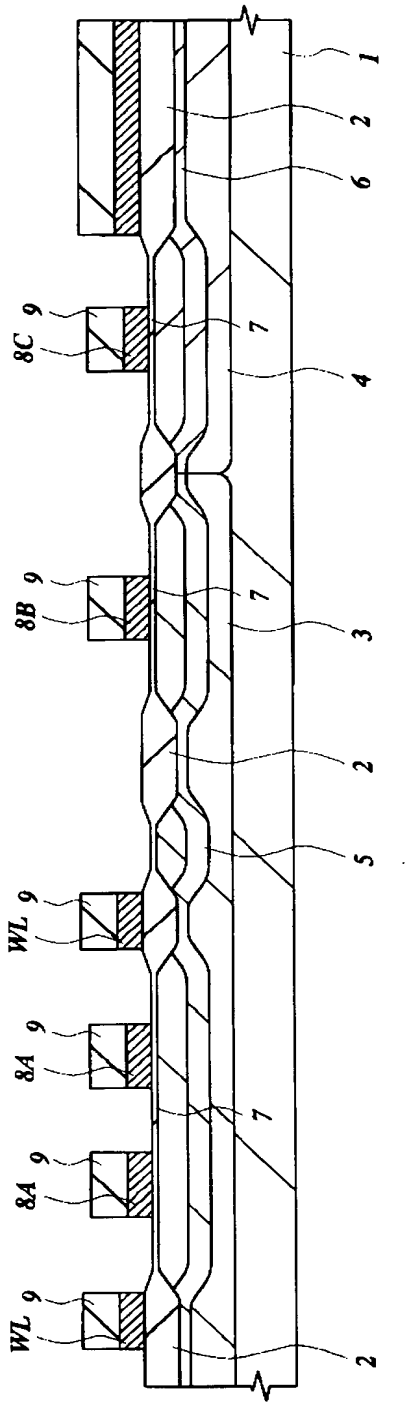
【図３】

図３



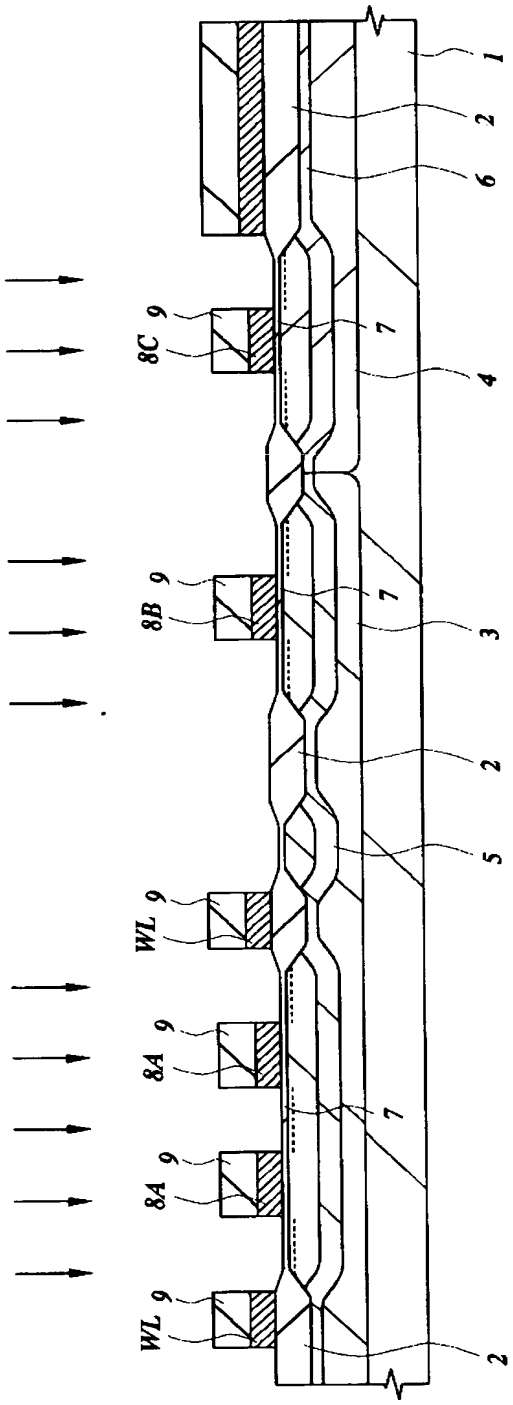
【図４】

図４



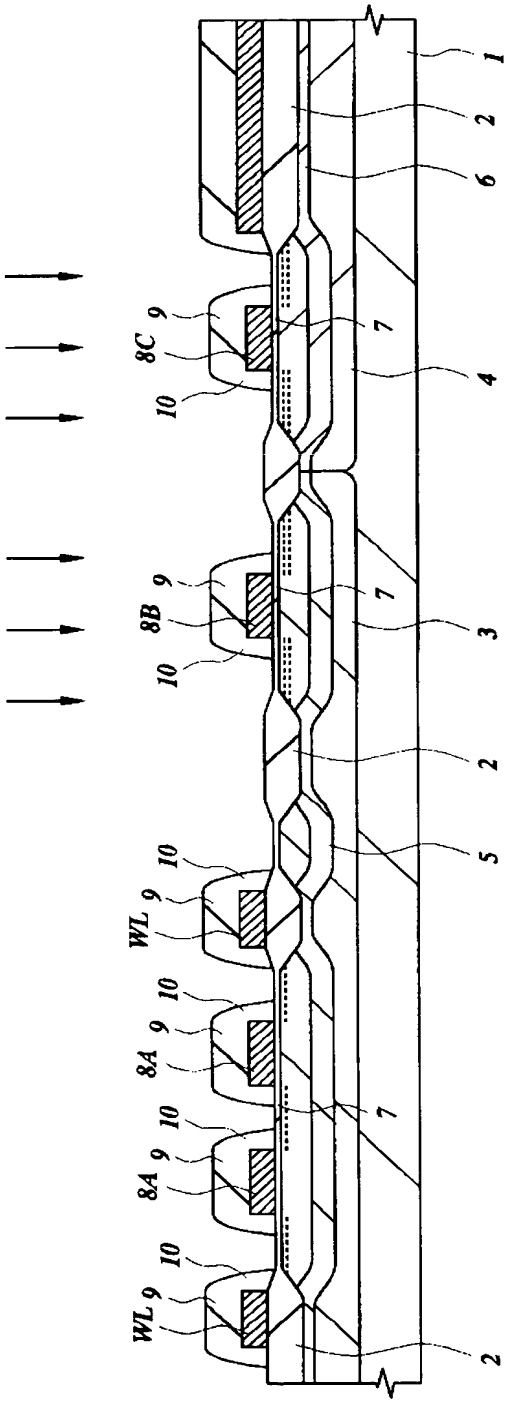
【図５】

図５



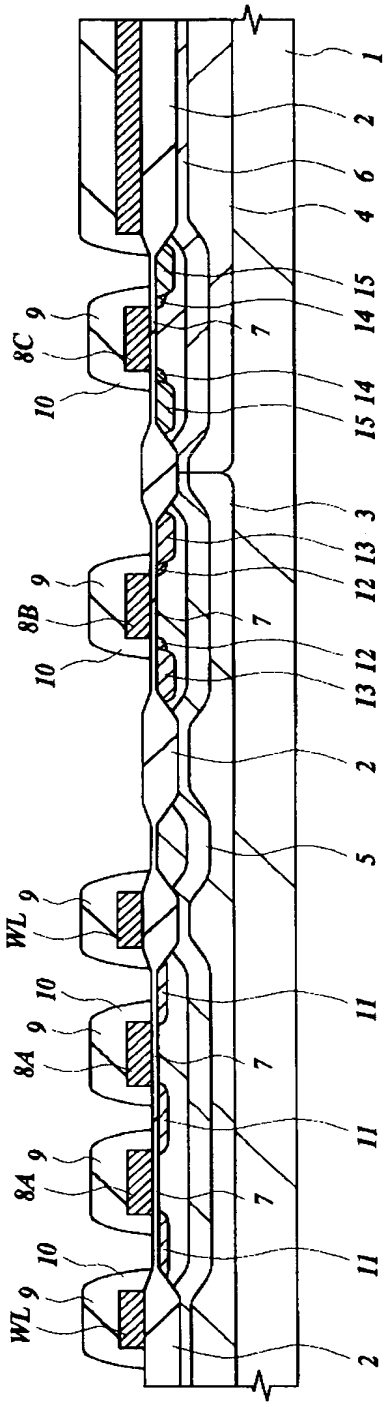
【図６】

図６



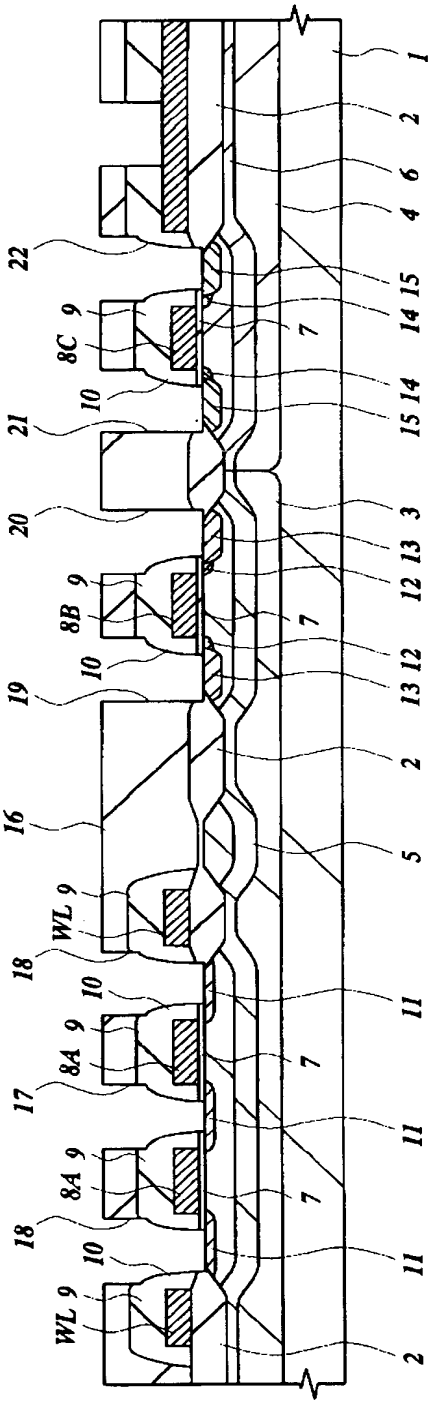
【図７】

図 7


1
2
6
4
15
14
9
8C
7
10
15
14
3
13
12
9
8B
7
10
12
13
2
5
9
WL
10
11
9
8A
7
11
9
8A
7
10
11
9
WL
2

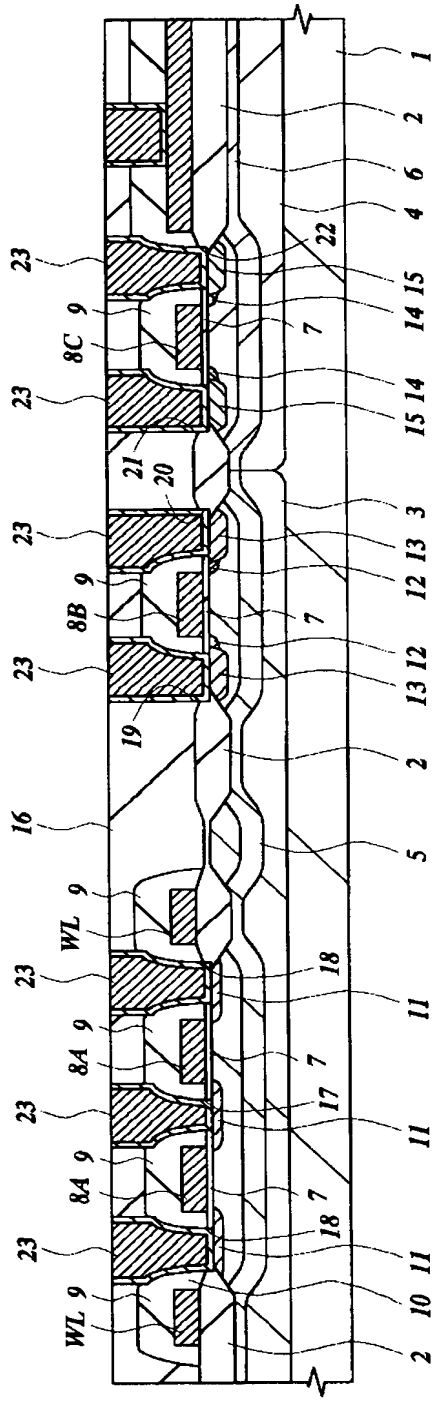
【図８】

図 8


1
2
6
4
22
15
14
9
8C
7
10
14
15
21
3
20
13
12
9
8B
7
10
12
13
19
2
16
5
9
WL
18
10
11
9
8A
7
17
11
9
8A
7
18
10
11
9
WL
2

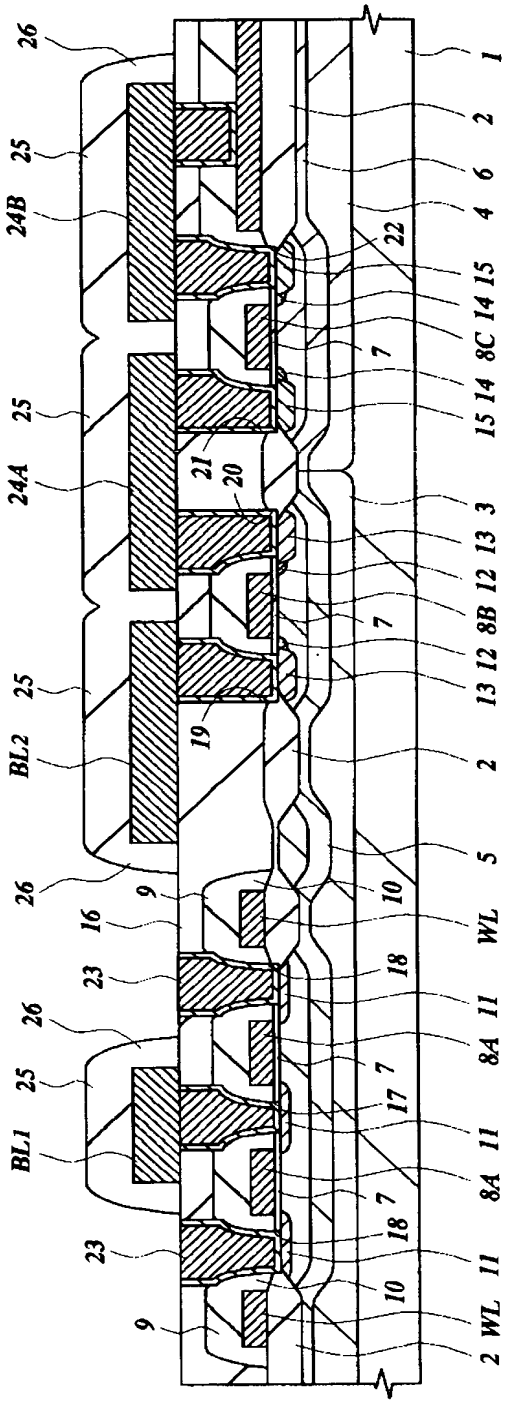
【図９】

図 9


1
2
6
4
22
15
14
7
9
8C
23
15
14
21
20
3
13
12
9
8B
7
12
13
19
2
16
5
9
WL
18
11
9
8A
7
17
11
9
8A
7
18
11
10
9
WL
2

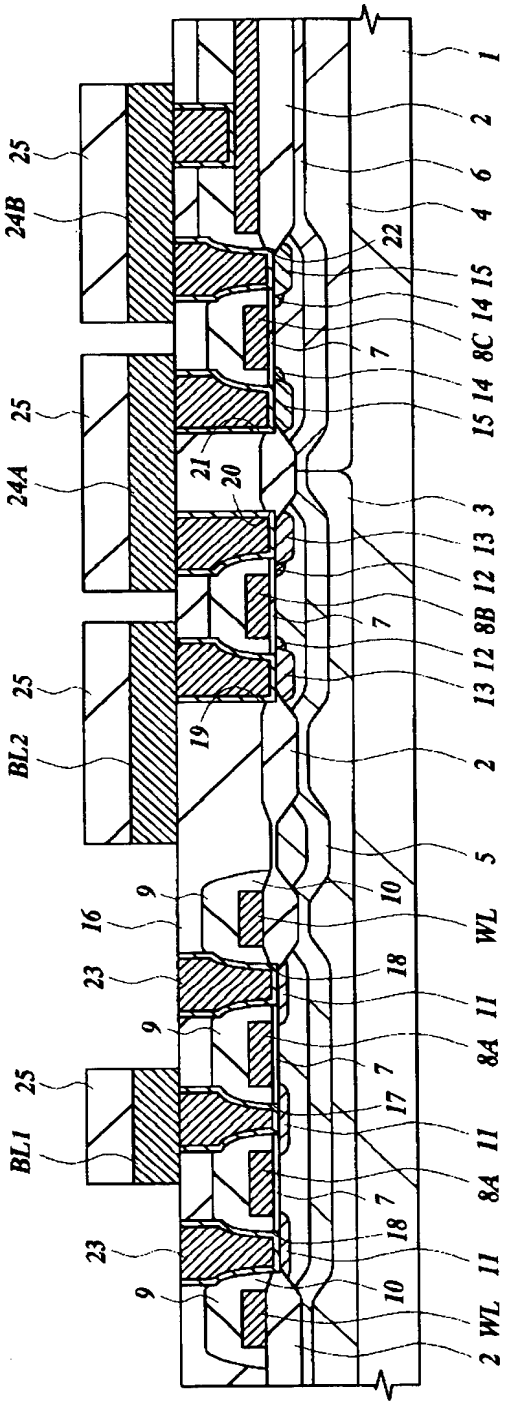
【図１１】

図 11


26
25
24B
25
24A
25
BL2
26
16
23
26
25
BL1
23
9
1
2
6
4
22
15
14
8C
7
15
14
21
20
3
13
12
8B
7
13
12
19
2
5
10
WL
18
11
8A
7
17
11
8A
7
18
10
11
WL
2

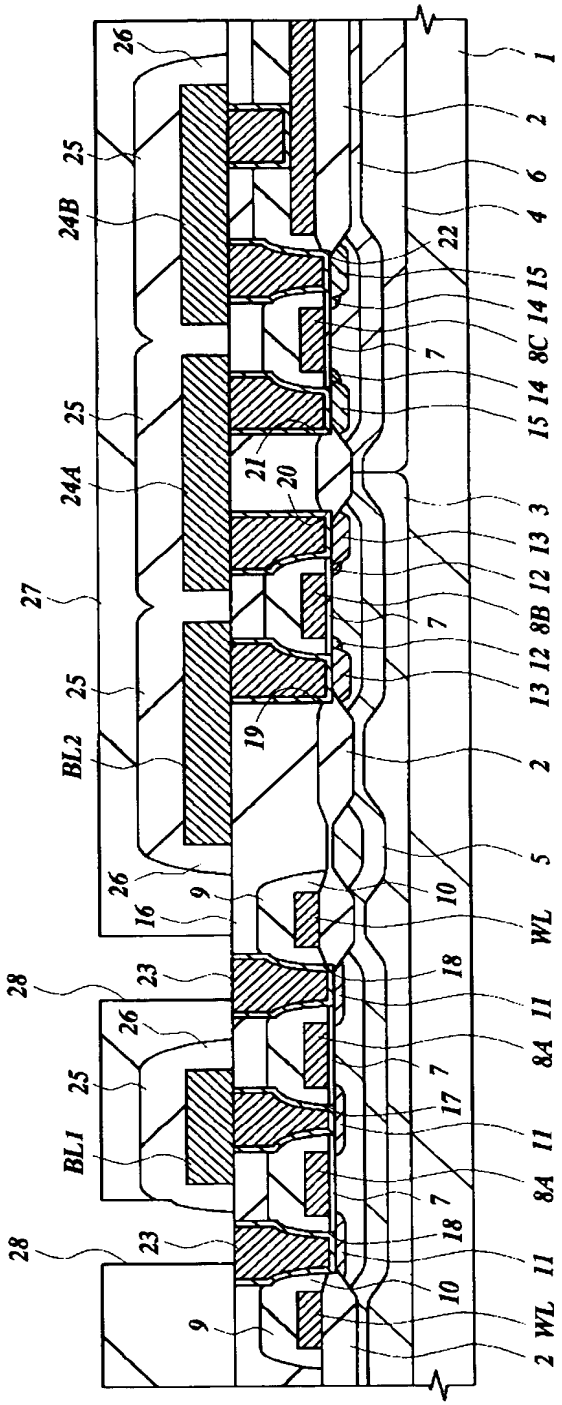
【図１０】

図 10


1
2
6
4
22
15
14
8C
7
15
14
3
13
12
8B
7
13
12
2
5
10
WL
18
11
8A
7
17
11
8A
7
18
11
10
WL
2
25
24B
25
24A
25
BL2
25
BL1
25
21
20
19
16
9
23
9
23
9

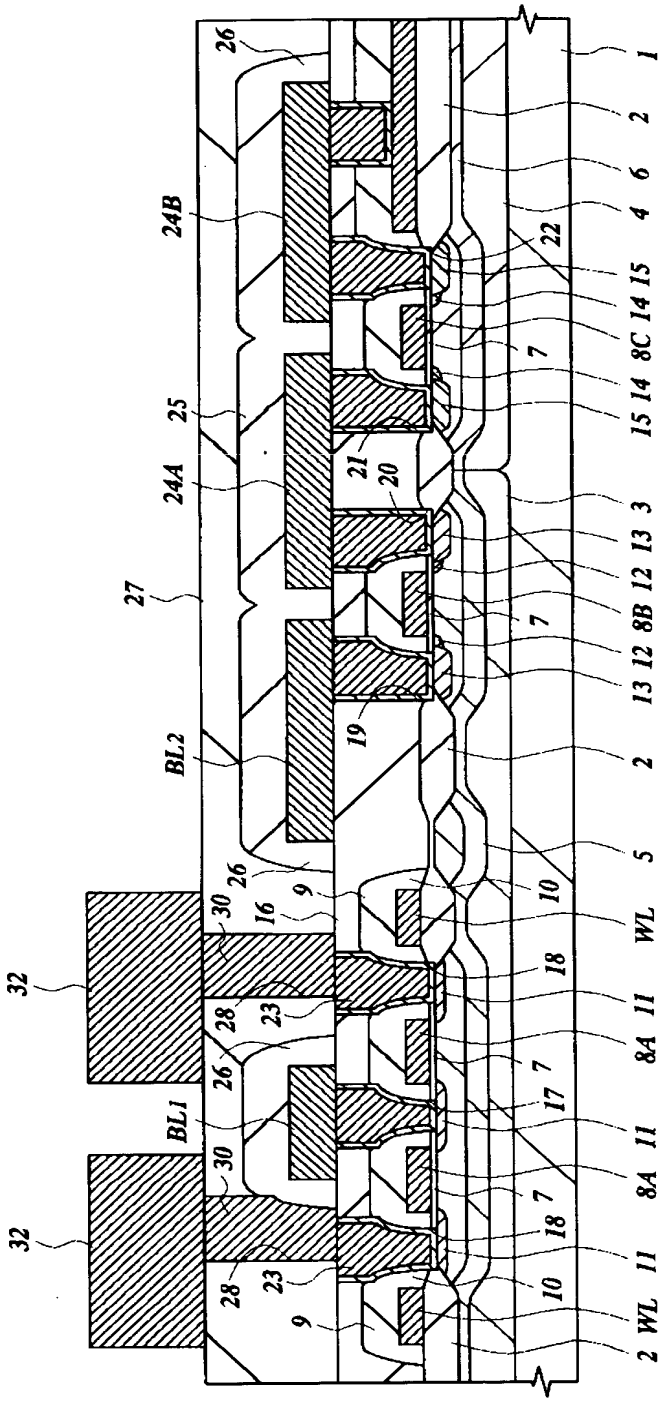
【図１２】

図 12


26
25
24B
25
24A
27
25
BL2
26
16
9
28
23
26
25
BL1
28
23
9
1
2
6
4
22
15
14
8C
7
15
14
21
20
3
13
12
8B
7
13
12
19
2
5
10
WL
18
11
8A
7
17
11
8A
7
18
10
11
WL
2

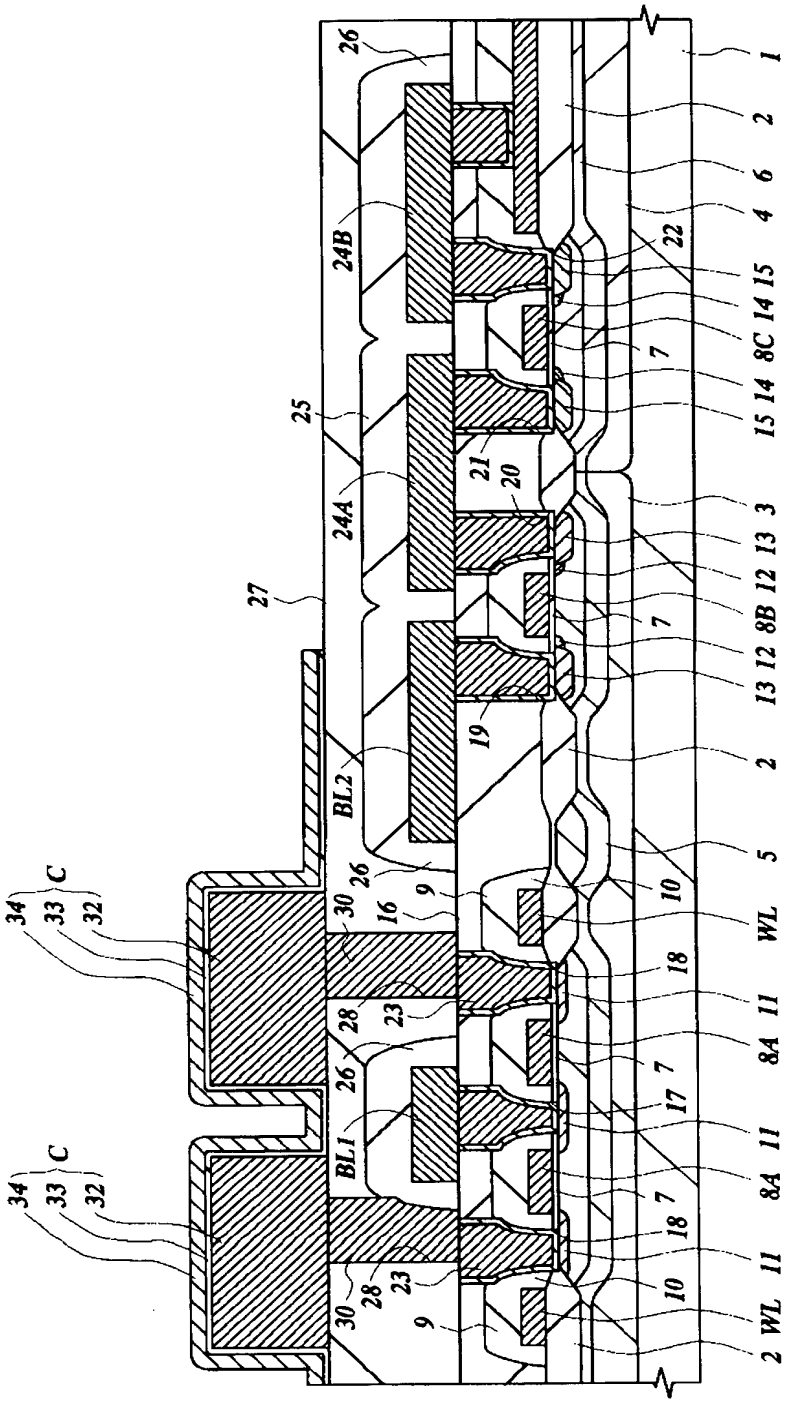
【図１３】

図 13


26
1
2
6
4
22
15
14
8C
7
15
14
24B
25
21
20
24A
3
13
12
8B
7
13
12
27
19
BL2
2
5
10
26
9
30
16
WL
18
32
11
8A
28
23
26
17
7
BL1
11
8A
30
18
7
32
11
10
28
23
WL
9
2

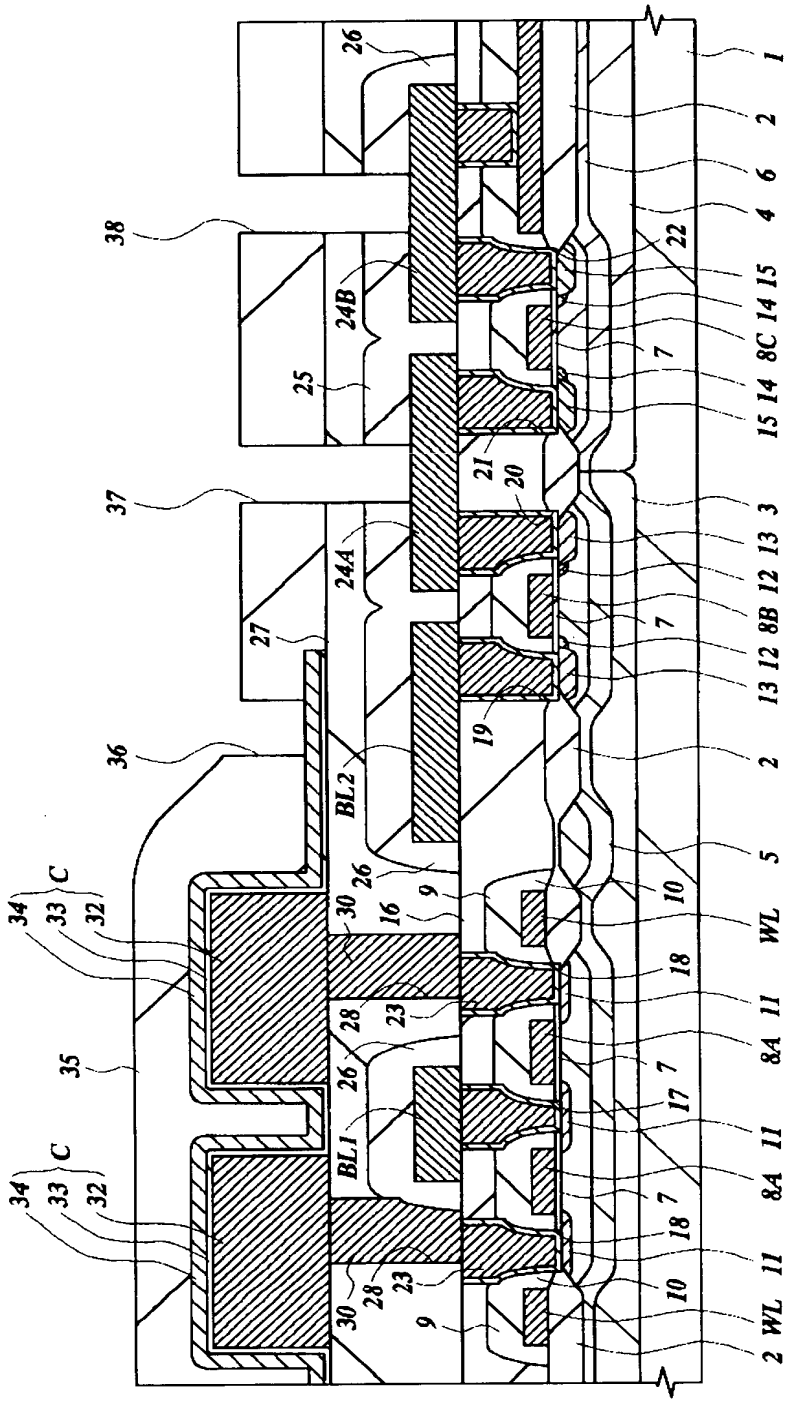
【図１４】

図 14


26
24B
25
24A
27
BL2
BL1
34
33
32
C
30
28
23
16
9
21
20
19
22
7
18
17
10
WL
11
8A
8B
8C
12
13
14
15
2
5
3
6
4
1

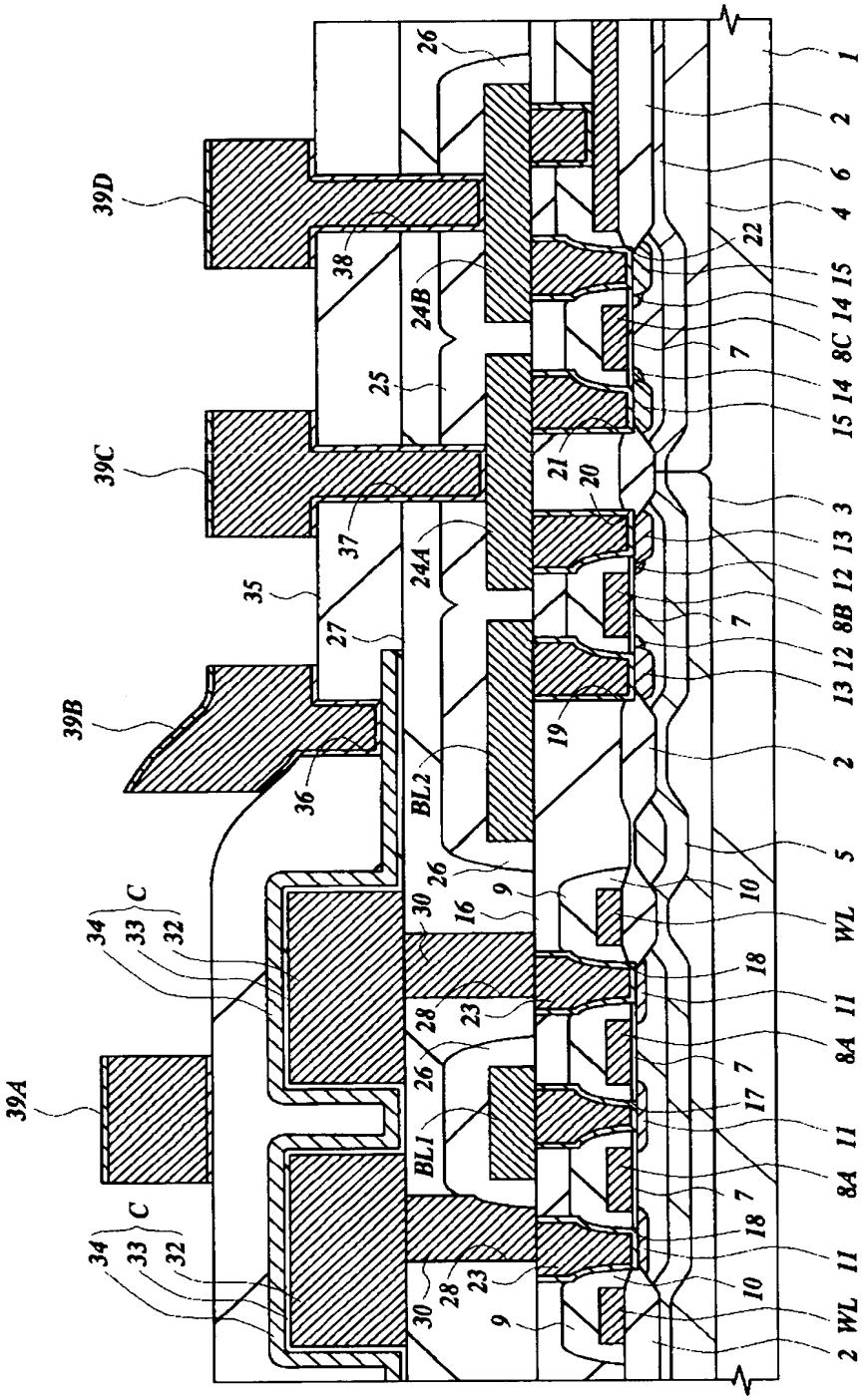
【図１５】

図 15


26
38
24B
25
37
24A
27
36
BL2
BL1
C
34
33
32
35
30
16
9
28
23
21
20
19
18
17
10
WL
11
8A
8B
8C
7
6
5
4
3
2
1
12
13
14
15
22

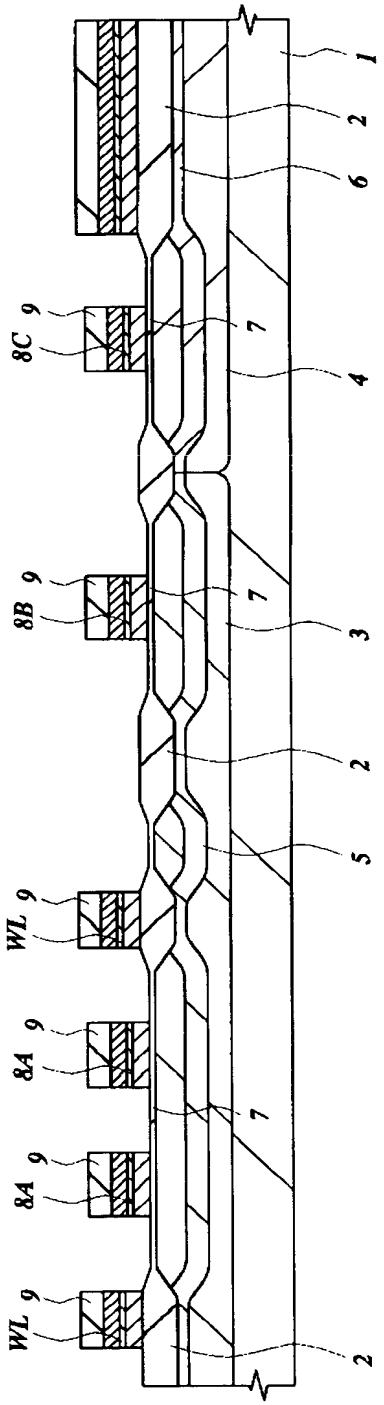
【図１６】

図 16


39D
39C
39B
39A
C
C
BL2
BL1
WL
WL
1
2
6
4
22
15
14
8C
7
21
20
3
13
12
8B
19
5
10
18
11
8A
17
18
10
9

【図１７】

図 17



【図１８】

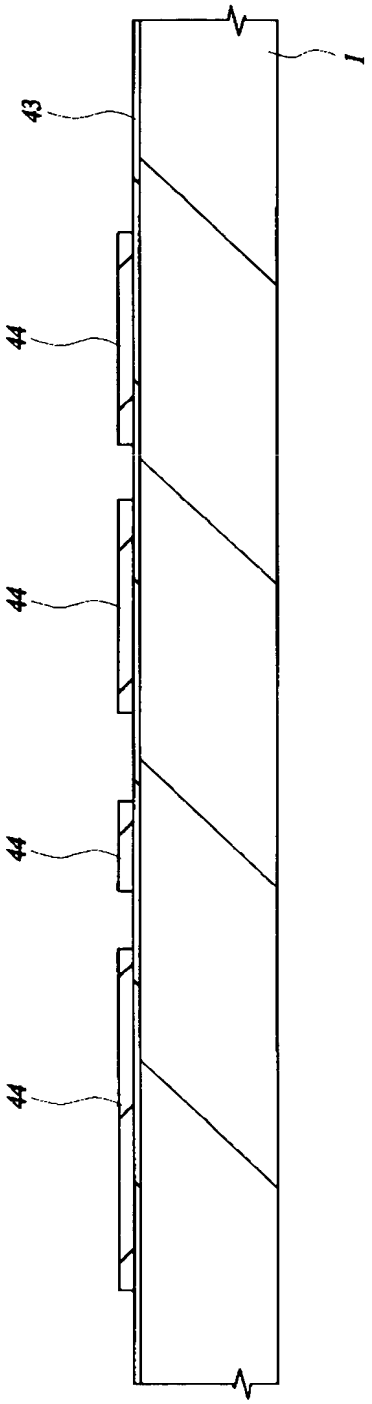
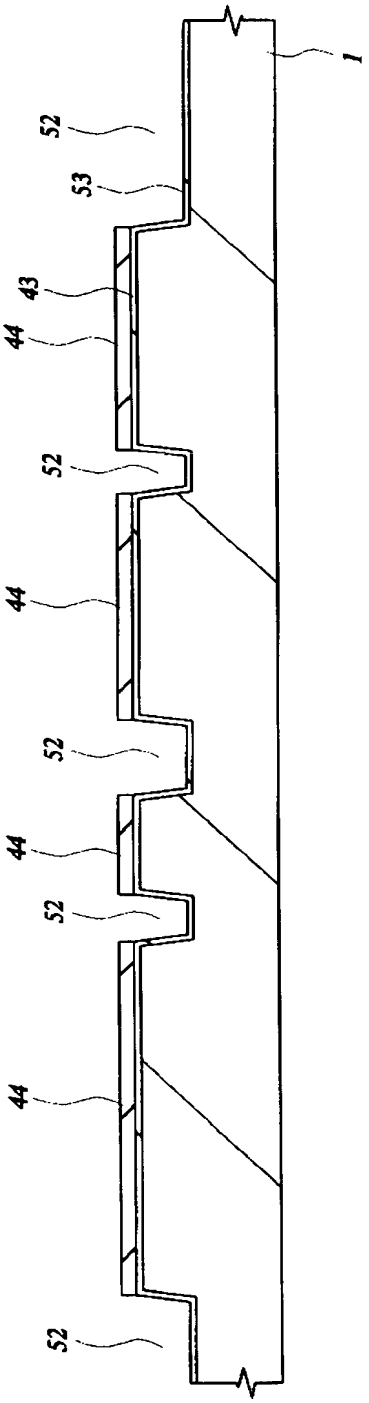


図 18

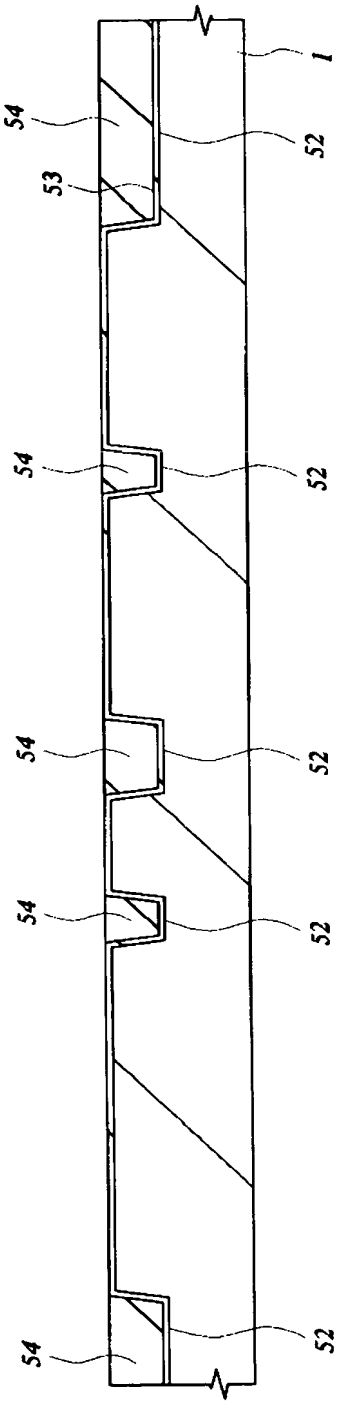
【図１９】

図 19



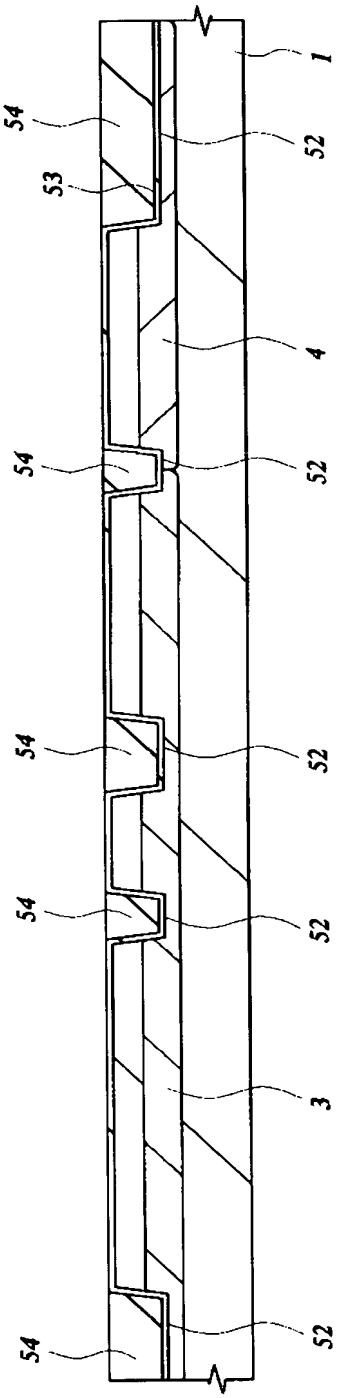
【図２０】

図 20



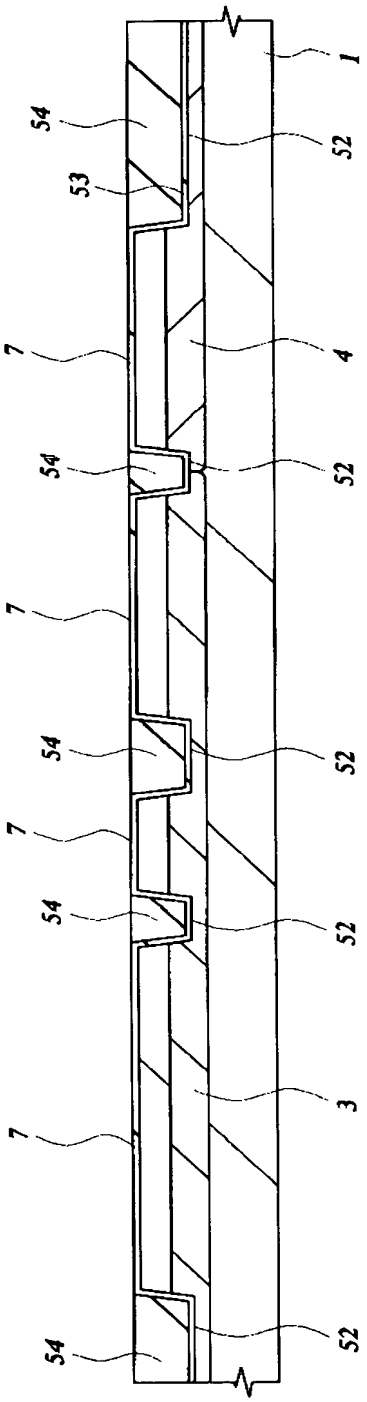
【図２１】

図 21



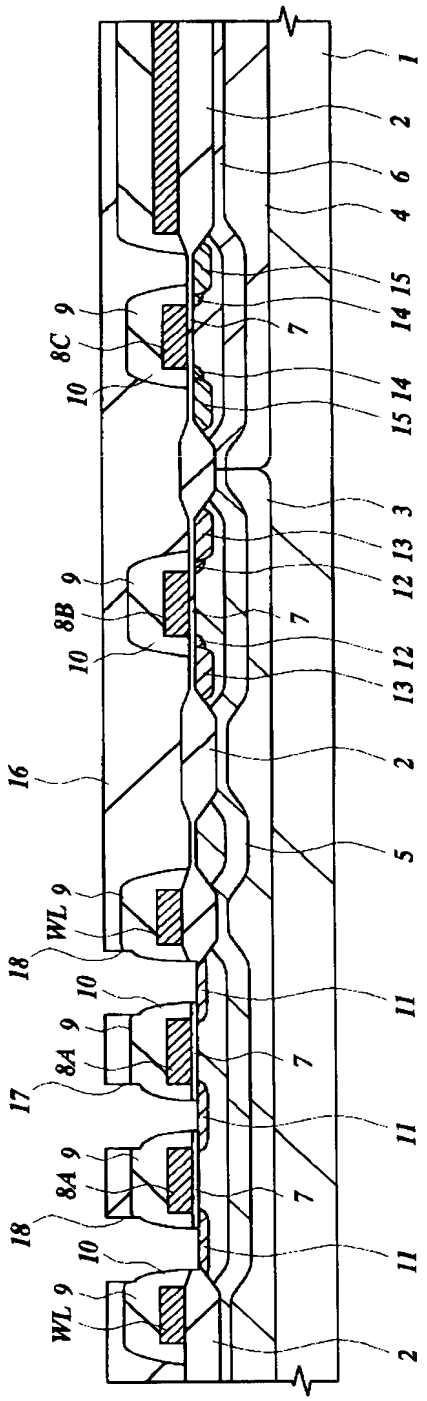
【図２２】

図 22



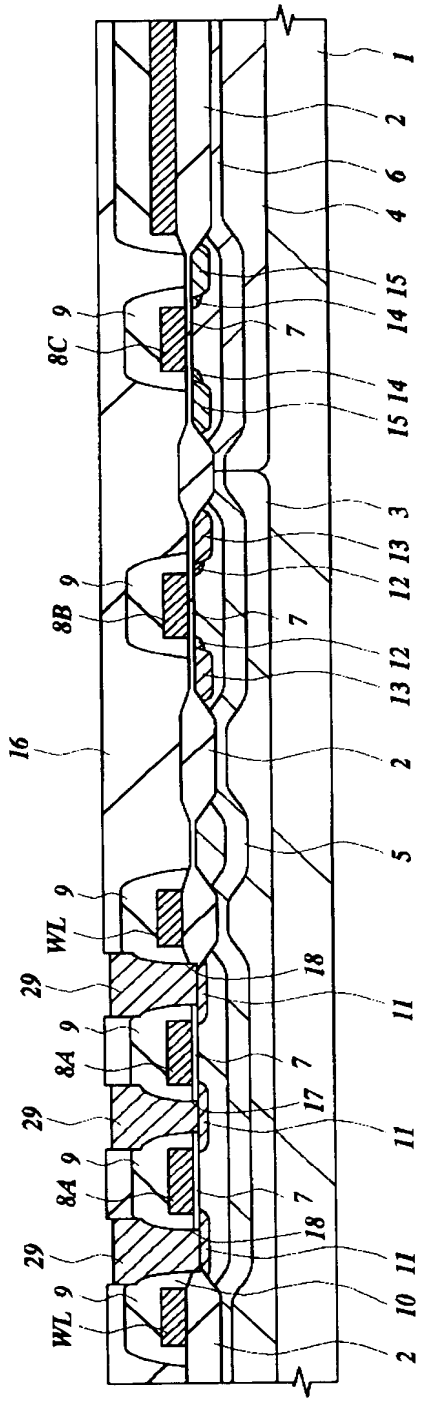
【図２３】

図 23


1
2
6
4
15
14
7
9
8C
10
14
15
3
13
12
9
8B
7
10
12
13
2
16
5
9
WL
18
10
11
9
8A
7
17
11
9
8A
7
18
10
11
9
WL
2

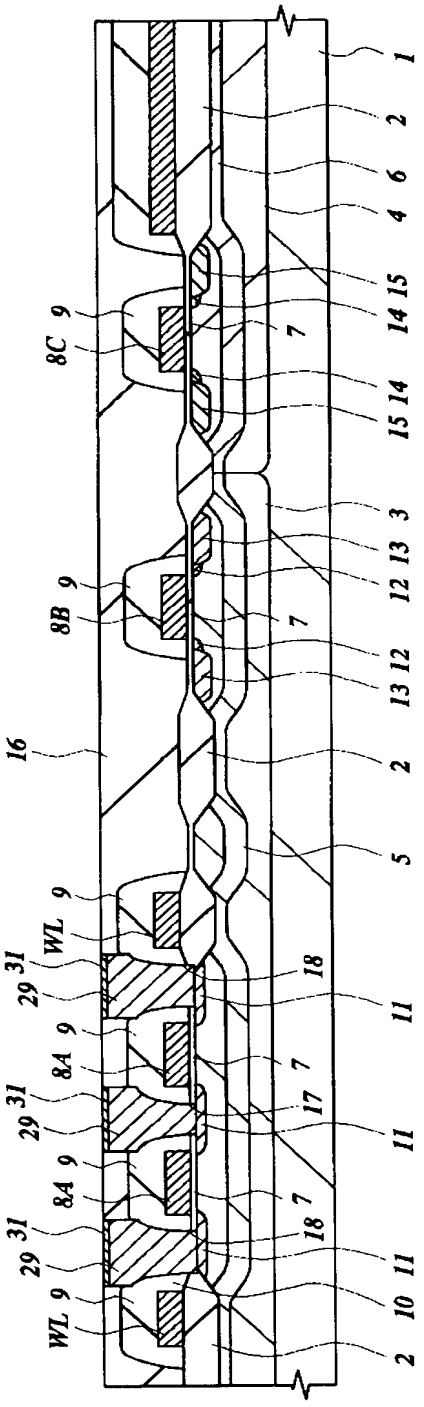
【図２４】

図 24


1
2
6
4
15
14
9
8C
7
14
15
3
13
12
9
8B
7
12
13
16
2
5
9
WL
18
29
11
9
8A
7
17
29
11
9
8A
7
18
29
11
9
WL
10
11
2

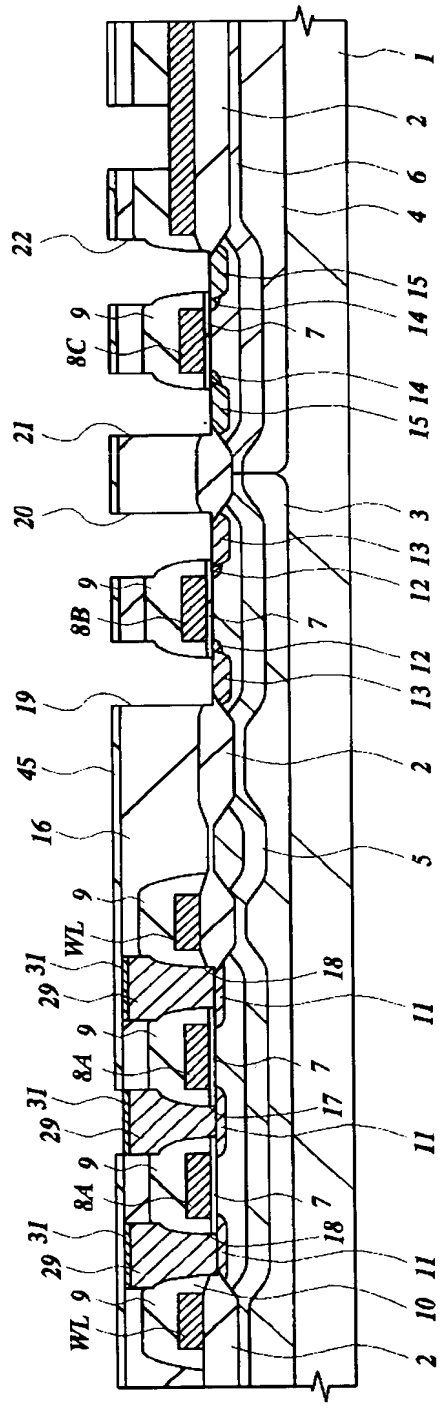
【図２５】

図 25


1
2
6
4
15
14
7
9
8C
15
14
3
13
12
9
8B
7
12
13
2
16
5
9
WL
31
29
18
11
9
8A
7
31
29
17
11
9
8A
7
31
29
18
11
9
WL
10
2

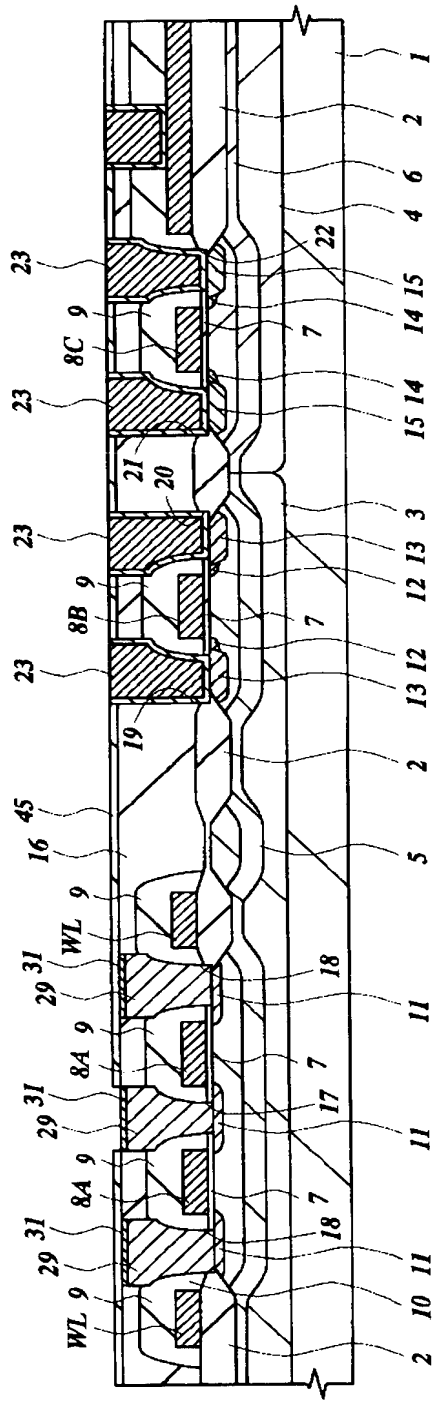
【図２６】

図 26


1
2
6
4
22
15
14
9
8C
7
15
14
21
3
20
13
12
9
8B
7
12
13
19
2
45
5
16
9
WL
18
31
29
11
9
8A
7
17
31
29
11
9
8A
7
18
31
29
11
10
9
WL
2

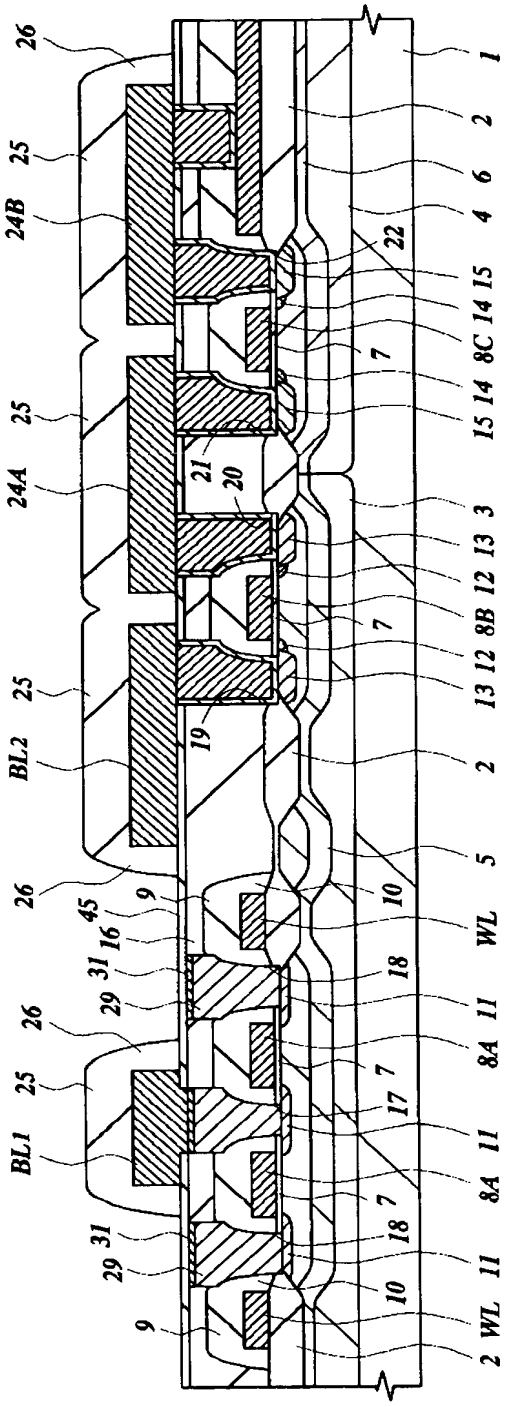
【図２７】

図 27


1
2
6
4
22
15
14
7
8C
9
23
15
14
21
20
3
13
12
8B
12
13
19
2
45
16
5
WL
9
31
29
18
11
8A
17
18
10
2

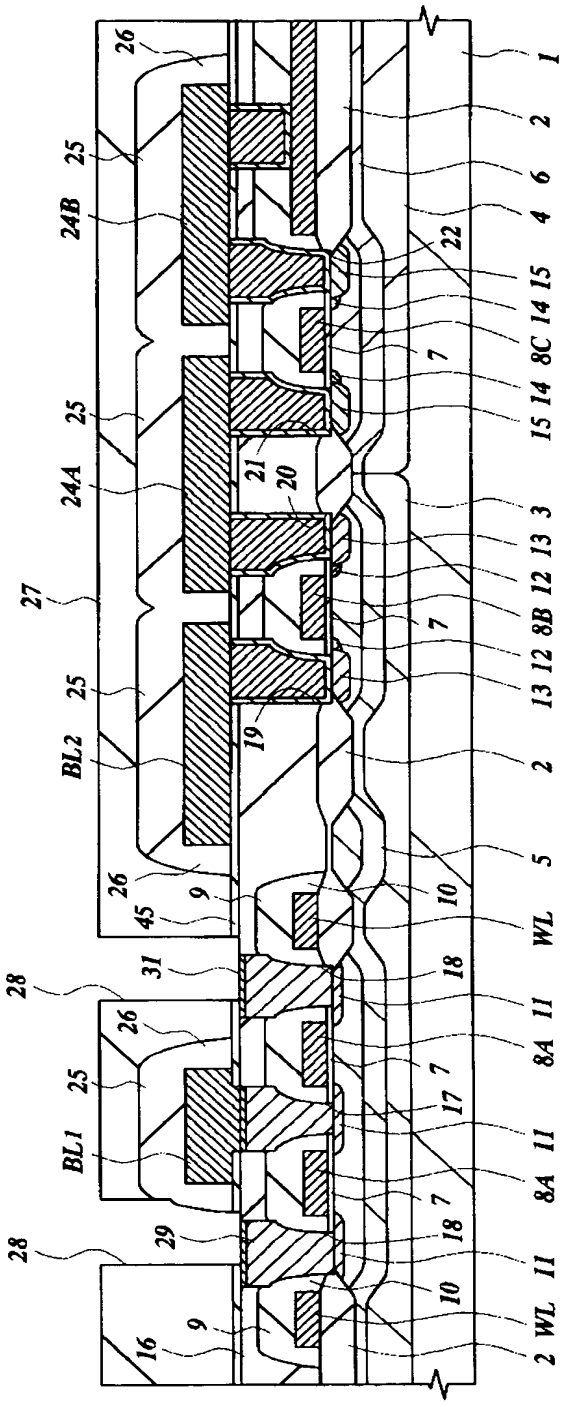
【図２８】

図 28


26
25
24B
25
24A
25
BL2
26
45
16
31
29
26
25
BL1
31
29
9
1
2
6
4
22
15
14
8C
7
15
14
21
20
3
13
12
8B
7
13
12
19
2
5
9
10
WL
18
11
8A
7
17
11
8A
7
18
10
11
WL
2

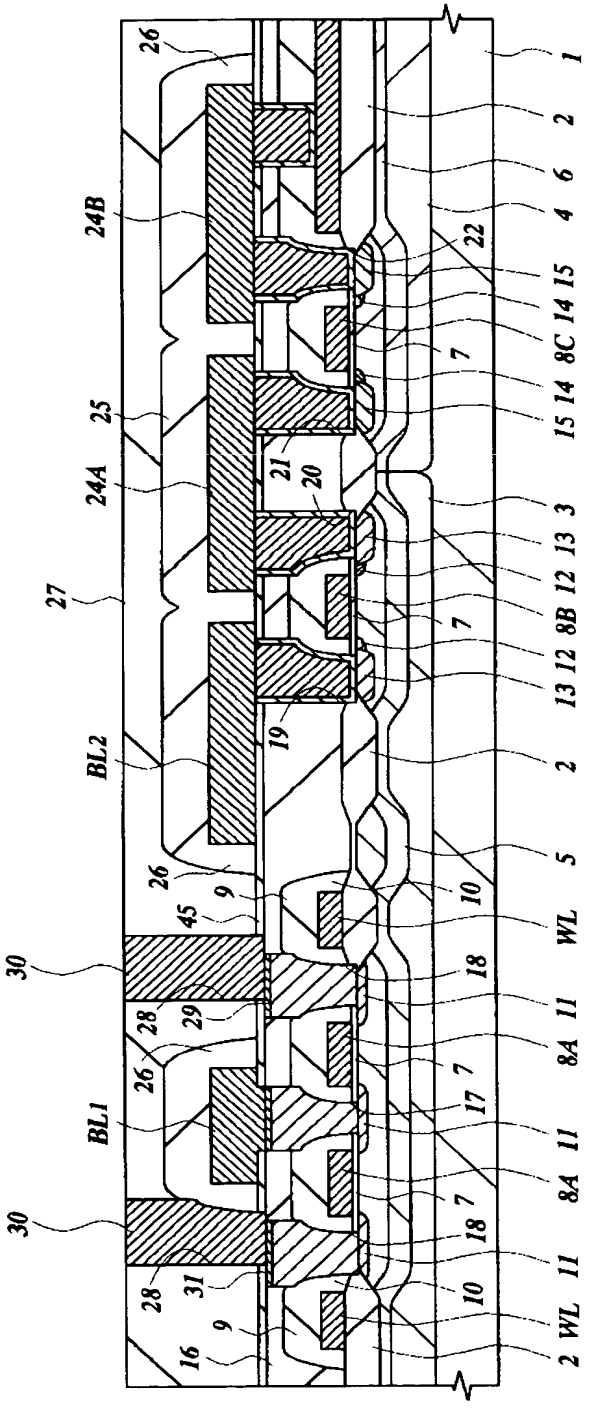
【図２９】

図 29


1
2
6
4
22
15
14
8C
7
15
14
3
13
12
8B
7
13
12
2
5
10
WL
11
8A
7
17
11
8A
7
18
11
10
WL
2
26
25
24B
25
24A
25
27
25
BL2
26
45
9
28
31
18
26
25
BL1
28
29
16
9
21
20
19

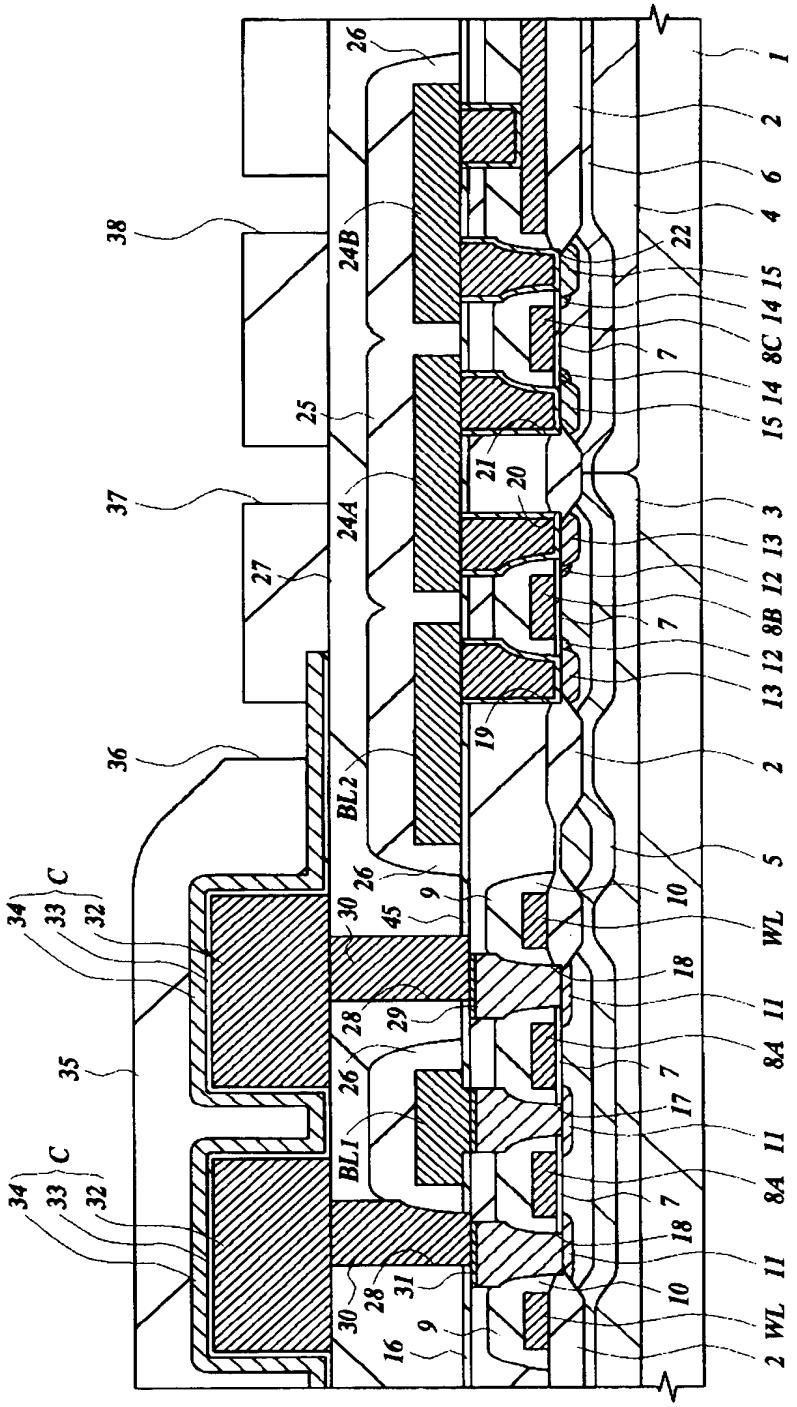
【図３０】

図 30


26
1
2
6
4
22
15
14
8C
7
15
14
25
21
20
24A
3
13
12
8B
7
13
12
27
19
BL2
2
5
10
WL
18
11
8A
7
17
11
8A
7
18
11
10
WL
2
16
9
31
28
30
BL1
26
29
28
45
9
26
24B

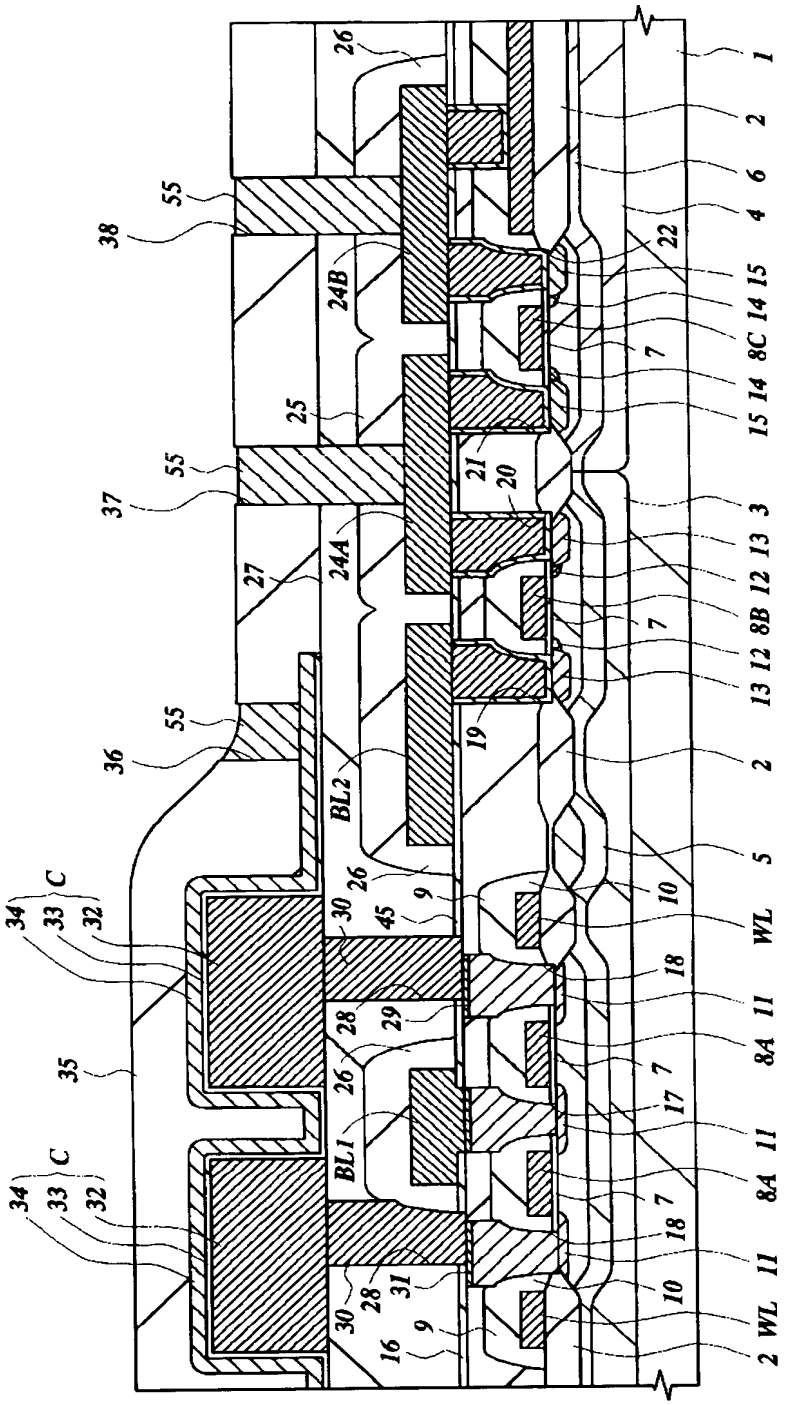
【図３１】

図 31


38
37
36
35
34
33
32
C
BL1
BL2
WL
24A
24B
25
26
27
28
29
30
31
45
16
9
10
11
12
13
14
15
18
17
19
20
21
22
1
2
3
4
5
6
7
8A
8B
8C

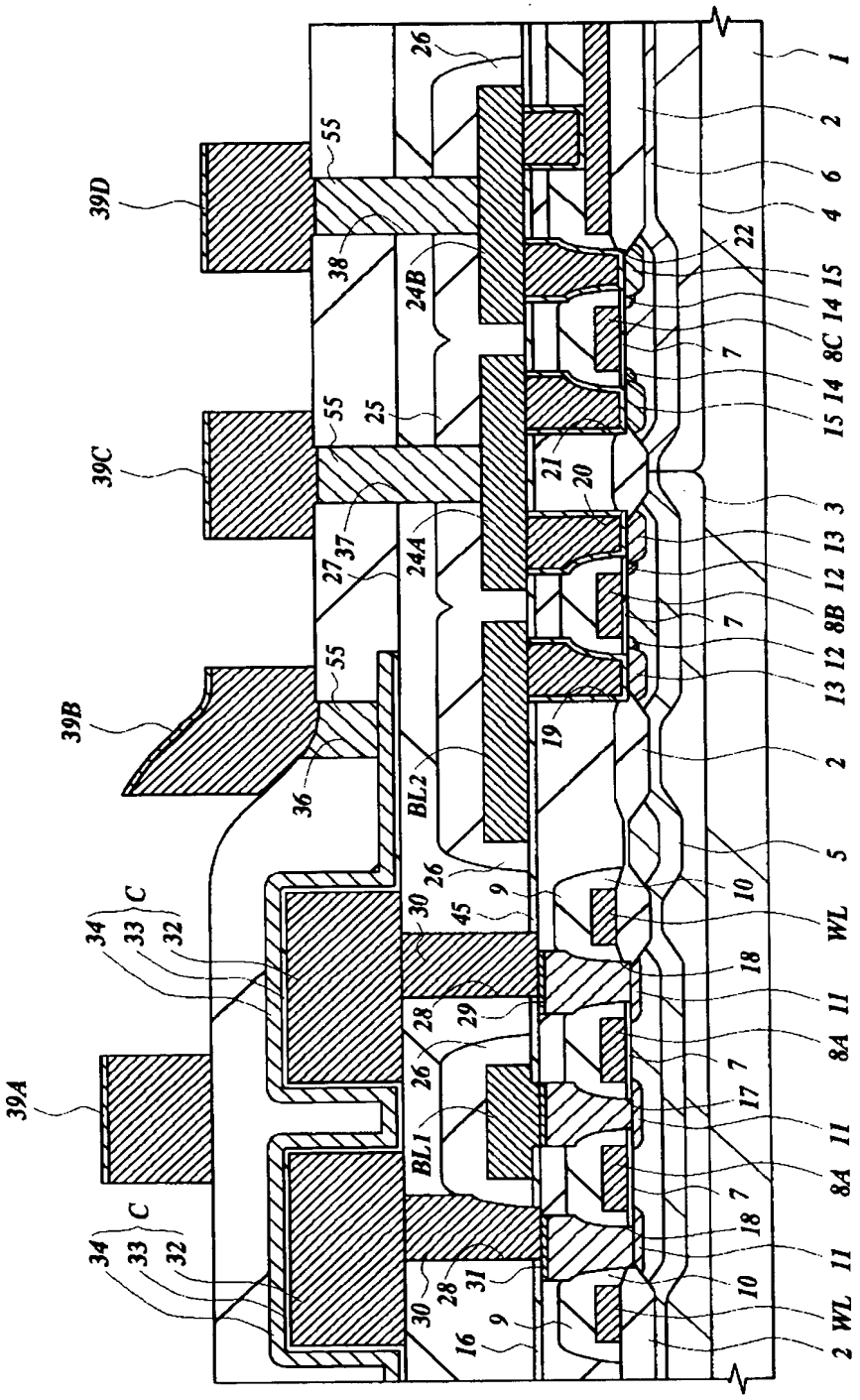
【図３２】

図 32


1
2
6
4
22
15
14
8C
7
15
14
25
24B
26
55
38
21
20
3
13
12
8B
7
13
12
24A
27
55
37
19
2
5
10
WL
18
11
8A
7
17
11
8A
7
18
10
11
WL
2
BL2
36
55
9
45
30
26
C
34
33
32
35
28
29
26
BL1
C
34
33
32
28
31
30
9
16

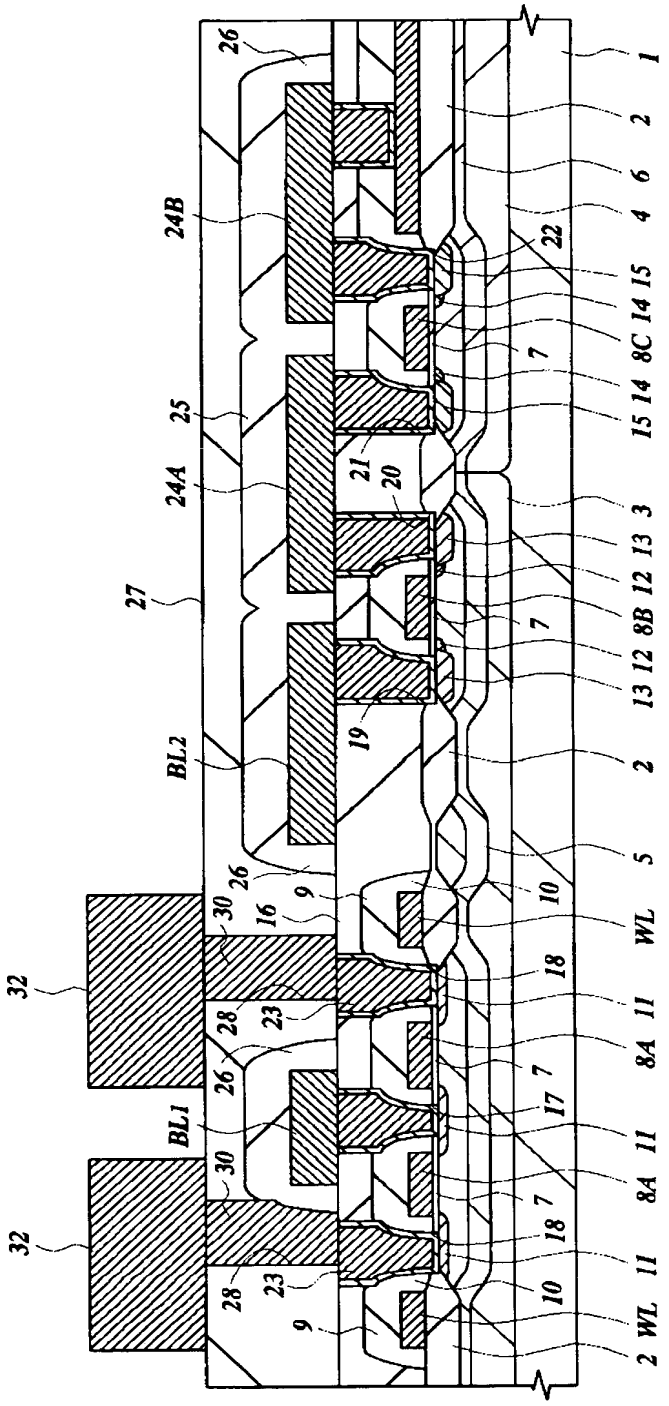
【図３３】

図 33


39D
39C
39B
39A
C
BL1
BL2
WL
1
2
4
5
6
7
8A
8B
8C
9
10
11
12
13
14
15
16
17
18
19
20
21
22
24A
24B
25
26
27
28
29
30
31
32
33
34
36
37
38
45
55

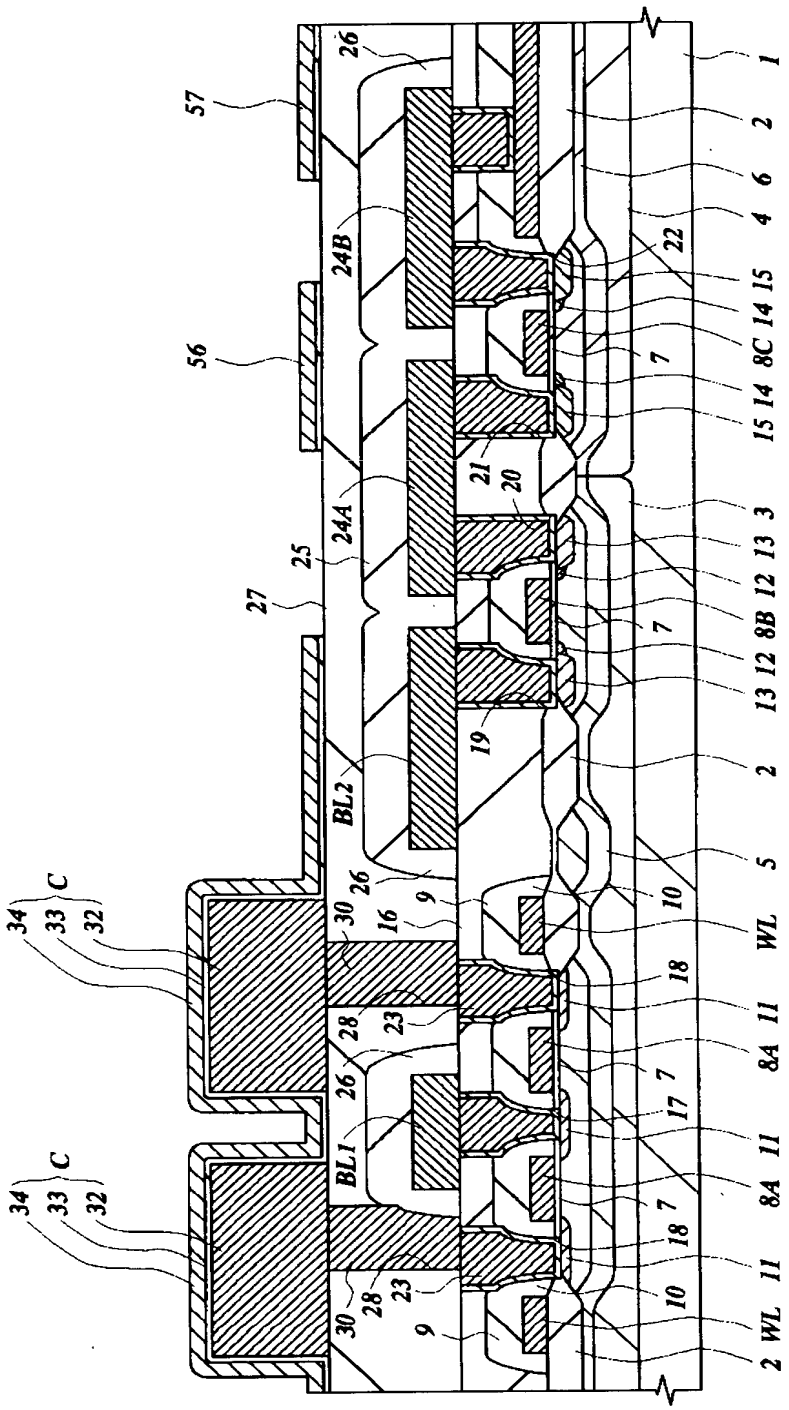
【図３４】

図 34


26
24B
25
24A
27
BL2
26
30
16
9
32
28
23
26
BL1
30
32
28
23
9
1
2
6
4
22
15
14
8C
7
15
14
21
20
3
13
12
8B
7
13
12
19
2
5
10
WL
18
11
8A
7
17
11
8A
7
18
11
10
2
WL

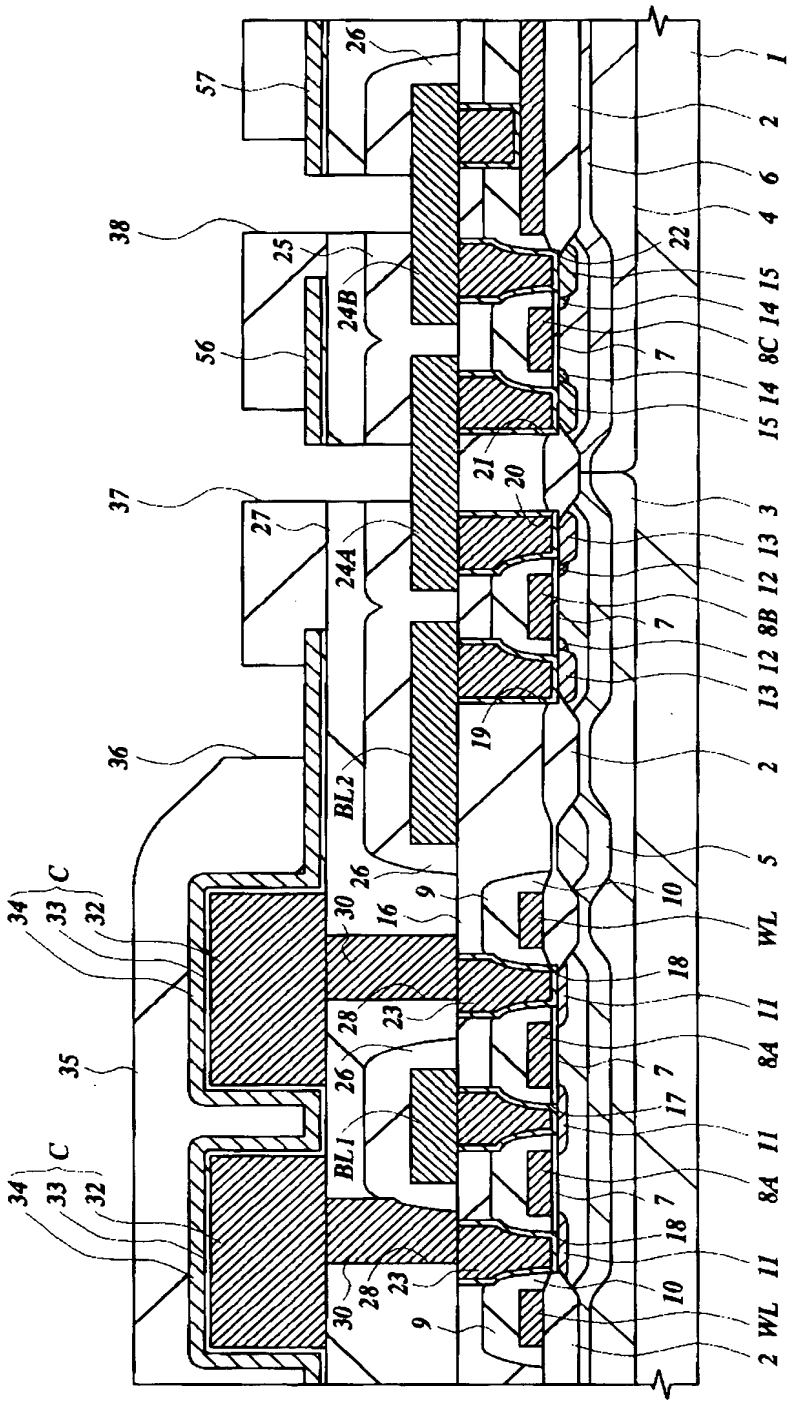
【図３５】

図 35


57
56
27
25
26
24B
24A
BL2
BL1
C
34
33
32
30
28
23
16
9
21
20
19
22
15
14
8C
7
12
13
8B
2
5
10
WL
18
11
8A
17
1

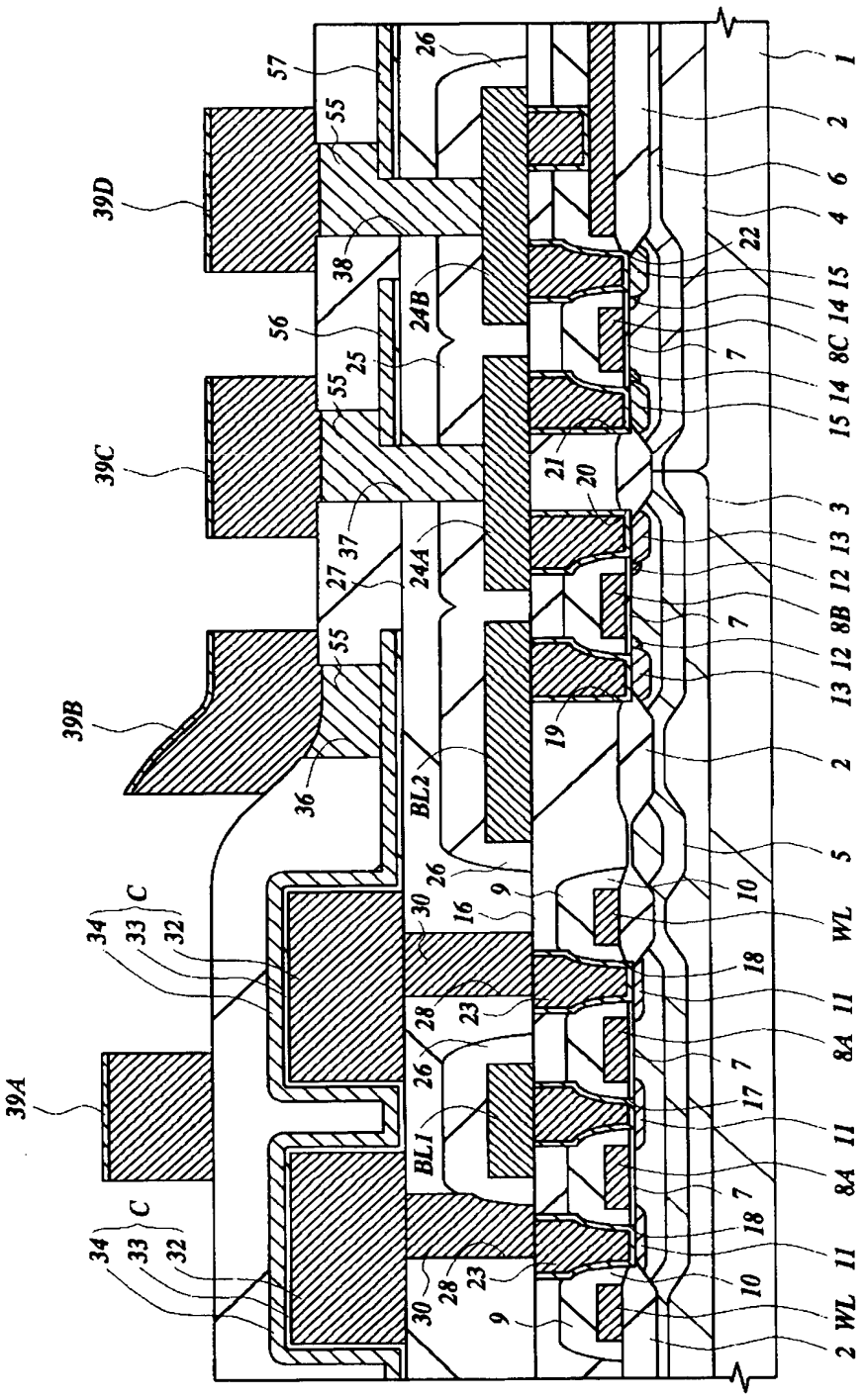
【図３６】

図 36


57
26
38
25
24B
56
37
27
24A
36
BL2
34
33
32
C
35
BL1
30
28
23
16
9
21
20
19
18
17
10
7
WL
11
8A
8B
8C
12
13
14
15
2
3
4
5
6
22
1

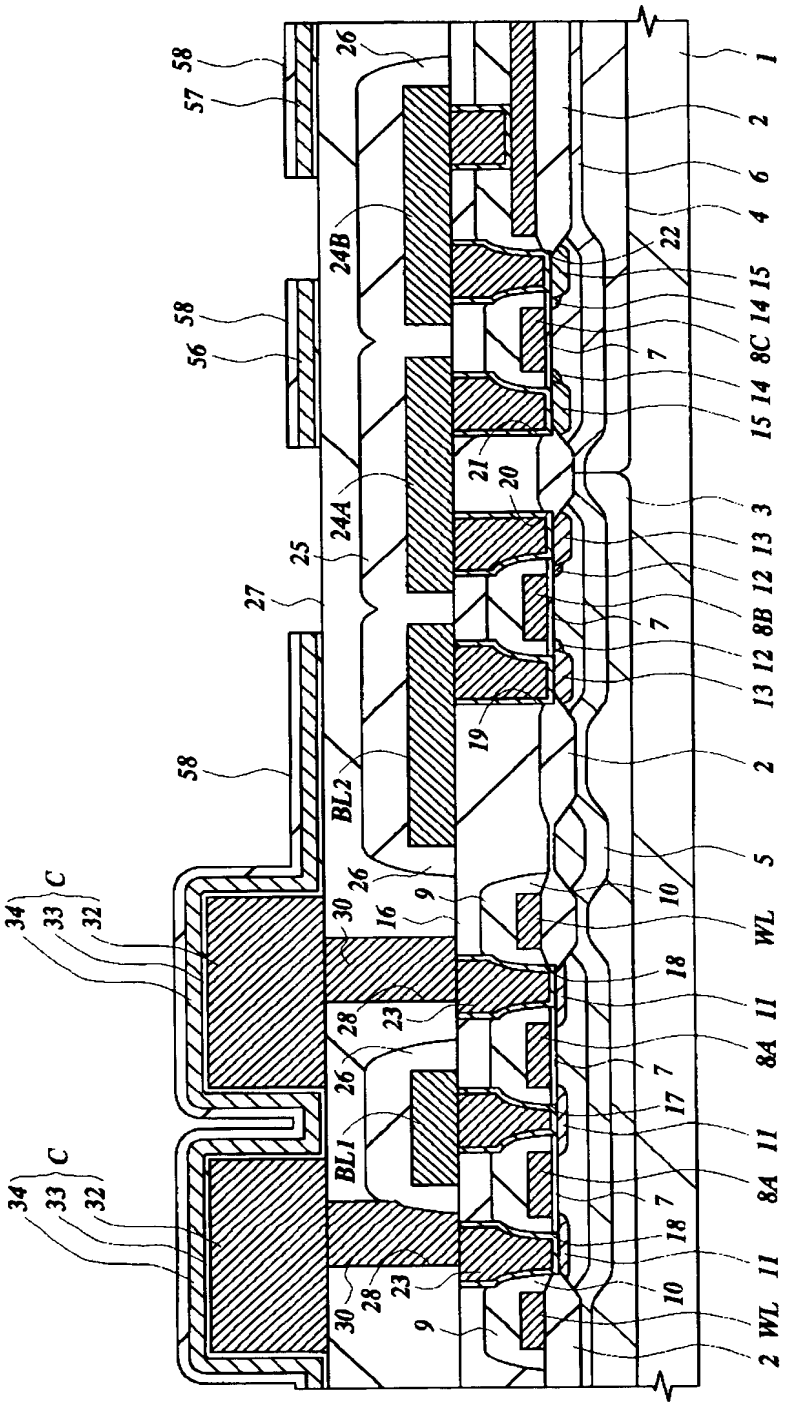
【図３７】

図 37


39A
39B
39C
39D
BL1
BL2
WL
C
1
2
4
5
6
7
8A
8B
8C
9
10
11
12
13
14
15
16
17
18
19
20
21
22
23
24A
24B
25
26
27
28
30
32
33
34
36
37
38
55
56
57

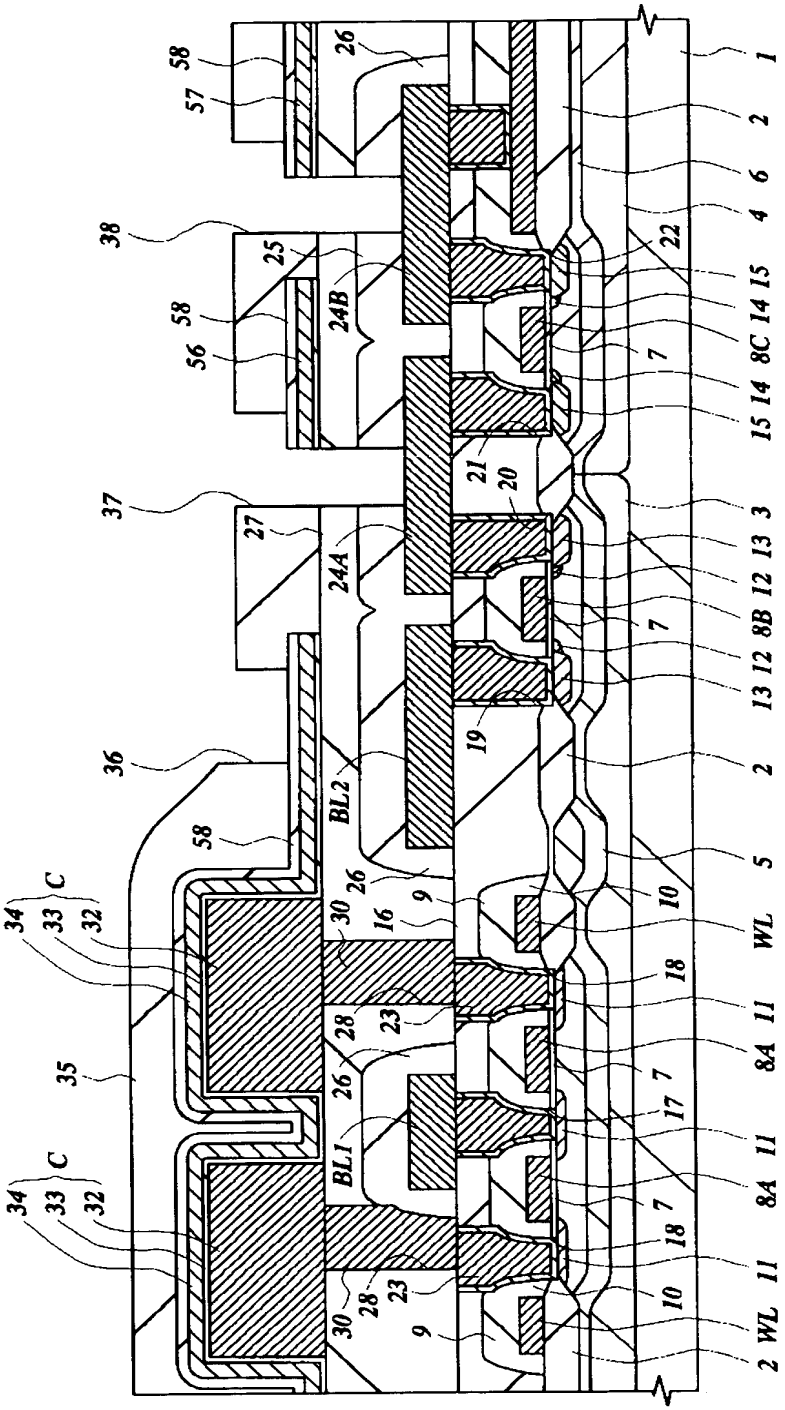
【図３８】

図 38


58
57
26
1
2
6
4
22
24B
58
56
15
14
8C
7
21
20
24A
25
27
3
13
12
8B
7
19
58
BL2
2
5
C
34
33
32
26
30
16
9
10
WL
18
11
28
23
8A
26
7
17
BL1
11
8A
C
34
33
32
7
18
28
23
10
30
11
9
WL
2

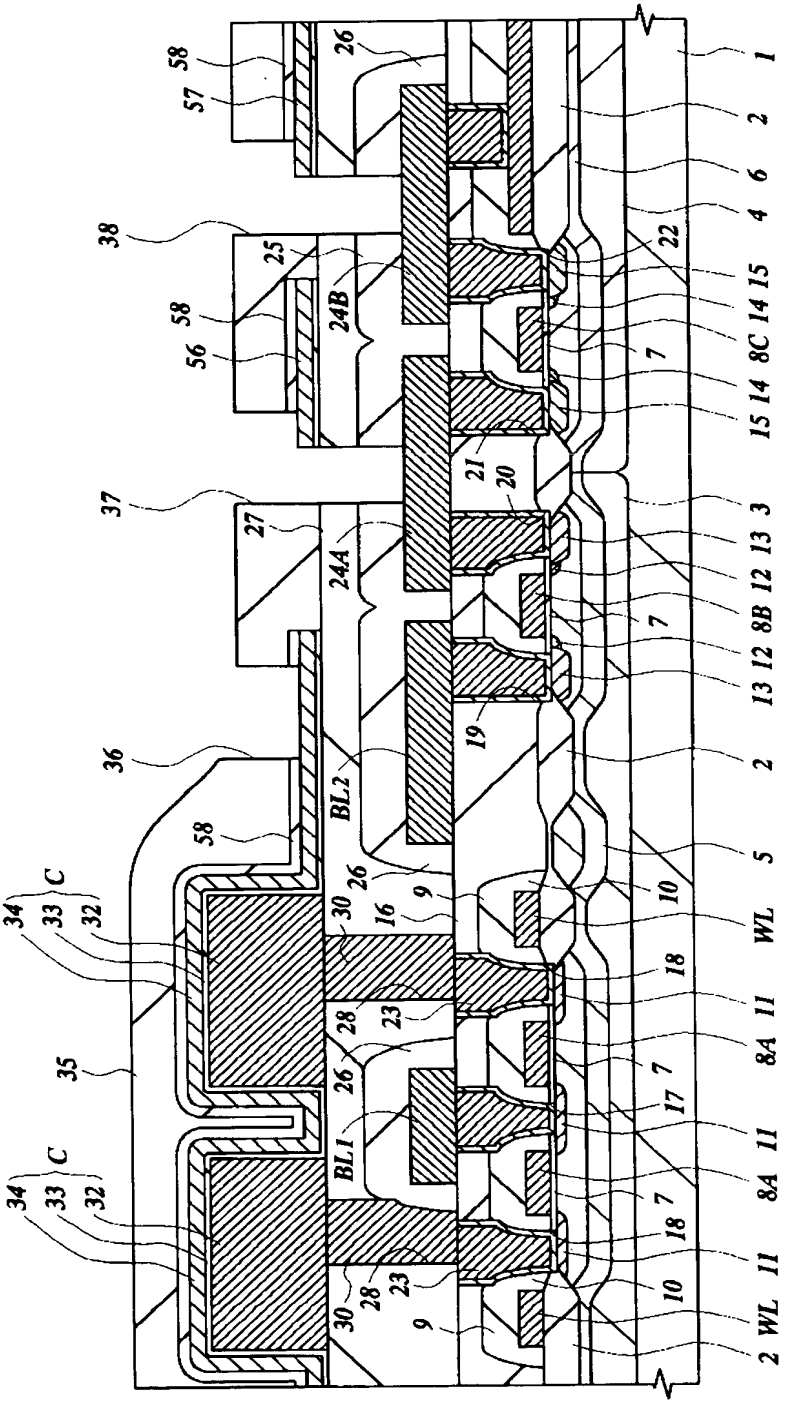
【図３９】

図 39


58
57
26
1
2
6
4
38
25
22
58
24B
56
15
14
8C
14
15
7
21
20
37
27
3
13
12
24A
8B
12
13
7
19
36
2
BL2
58
5
C
34
33
32
26
30
16
9
10
WL
18
11
28
23
8A
35
26
7
17
BL1
C
34
33
32
11
8A
7
18
28
23
10
30
9
11
WL
2

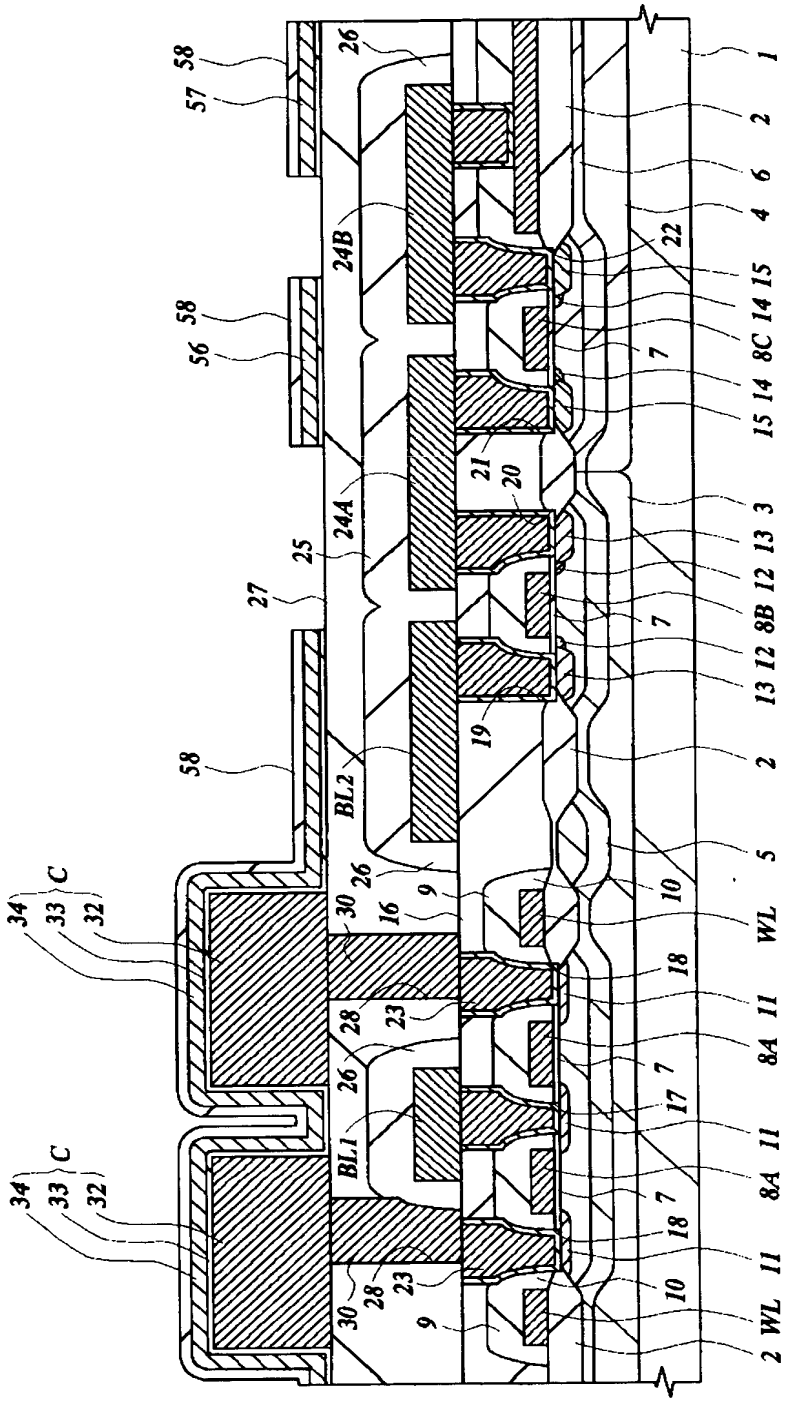
【図４０】

図 40


58
57
26
1
2
6
4
38
25
22
58
24B
56
15
14
8C
14
15
7
21
20
37
27
3
13
24A
12
8B
12
13
7
19
36
BL2
2
58
5
C
34
33
32
26
9
10
30
16
WL
18
28
23
11
8A
35
26
7
17
BL1
11
C
34
33
32
8A
7
18
28
23
11
30
10
9
WL
2

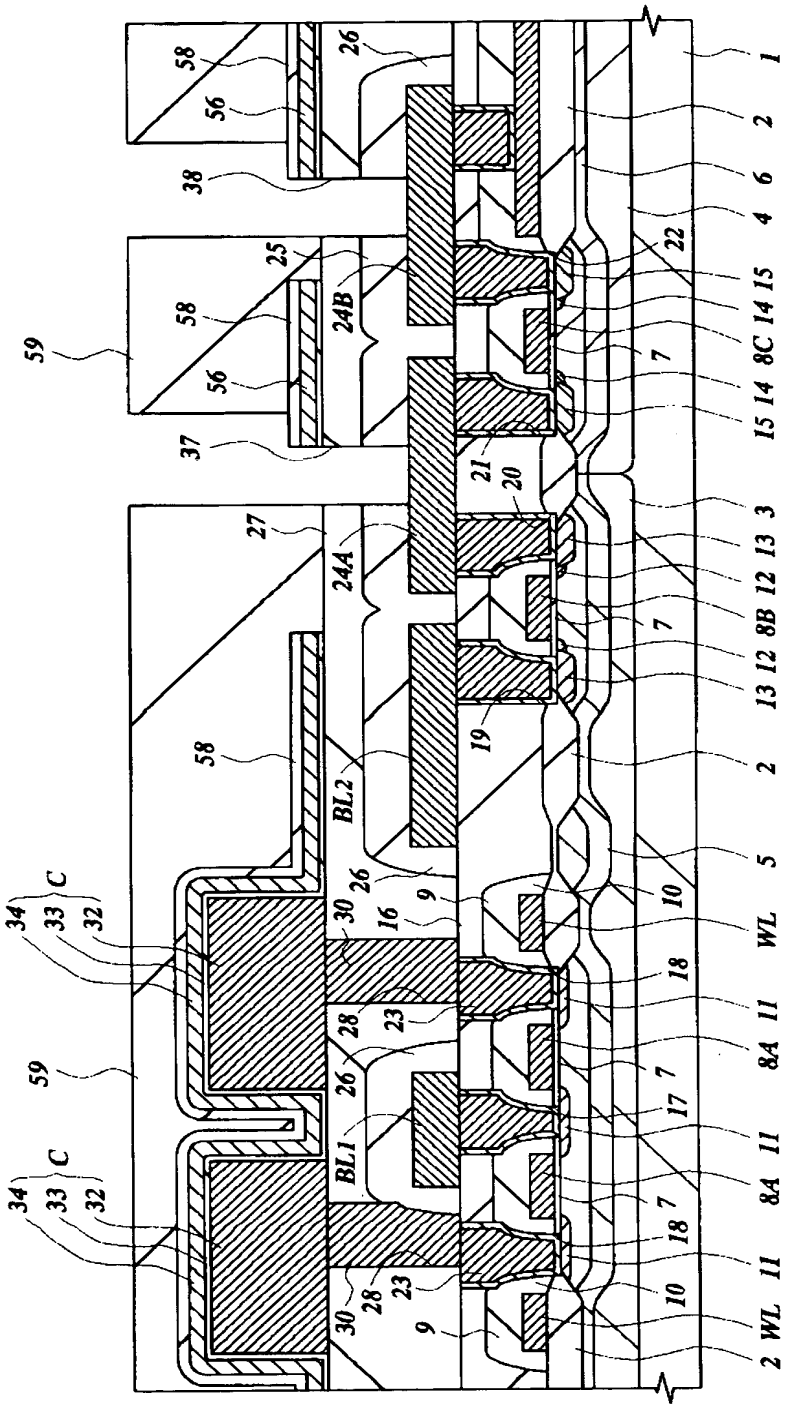
【図４１】

図 41


58
57
26
1
2
6
4
24B
22
58
56
15
14
8C
7
21
20
24A
25
27
3
13
12
8B
7
19
58
BL2
2
5
C
34
33
32
26
9
10
WL
30
16
18
28
23
11
8A
26
7
17
BL1
C
34
33
32
11
8A
7
18
28
23
10
30
9
2
WL

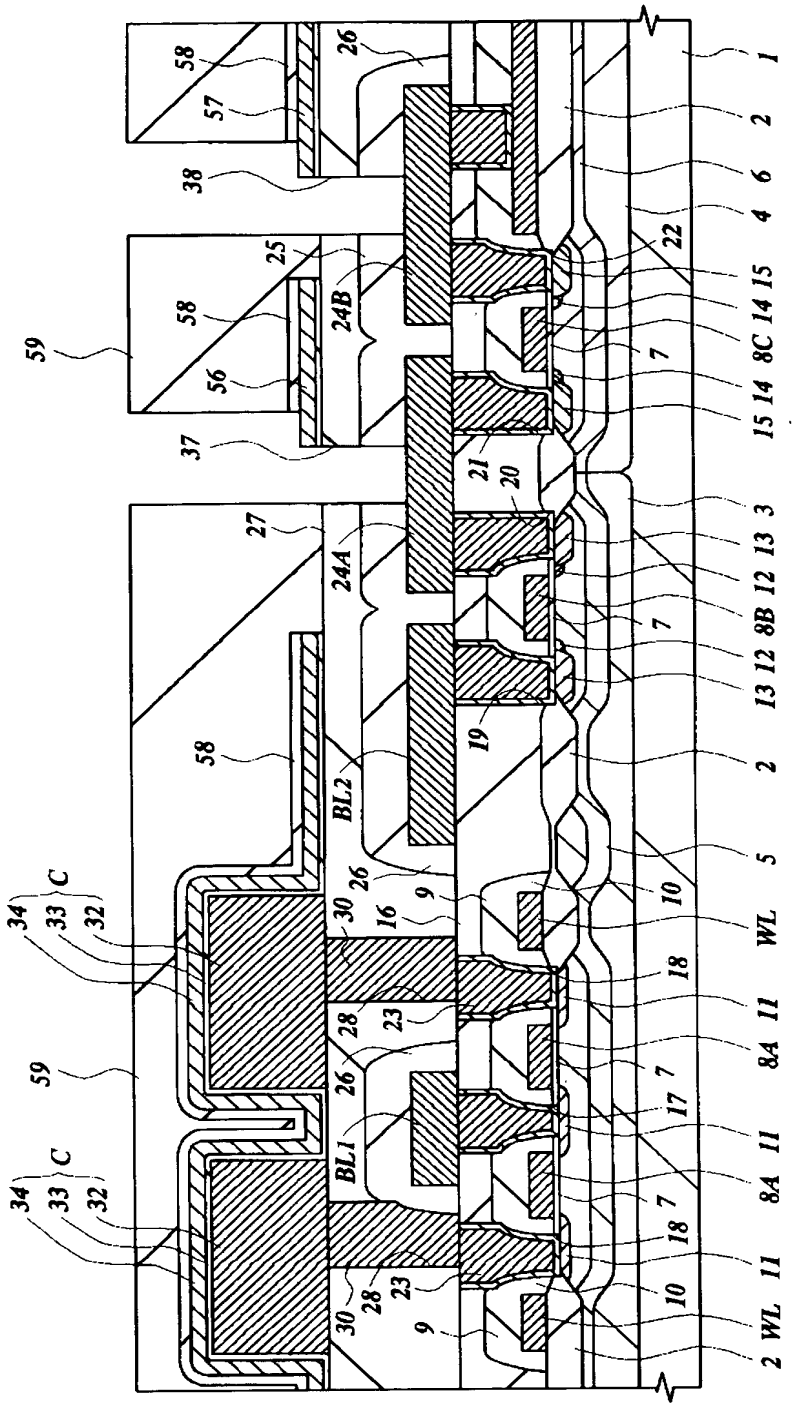
【図４２】

図 42


58
56
38
26
1
2
6
4
22
25
24B
58
56
59
37
7
15
14
8C
21
20
27
24A
3
13
12
8B
19
58
BL2
2
5
26
9
16
30
C
34
33
32
10
WL
18
11
28
23
8A
59
26
BL1
17
7
11
8A
18
7
28
23
10
11
30
9
2
WL

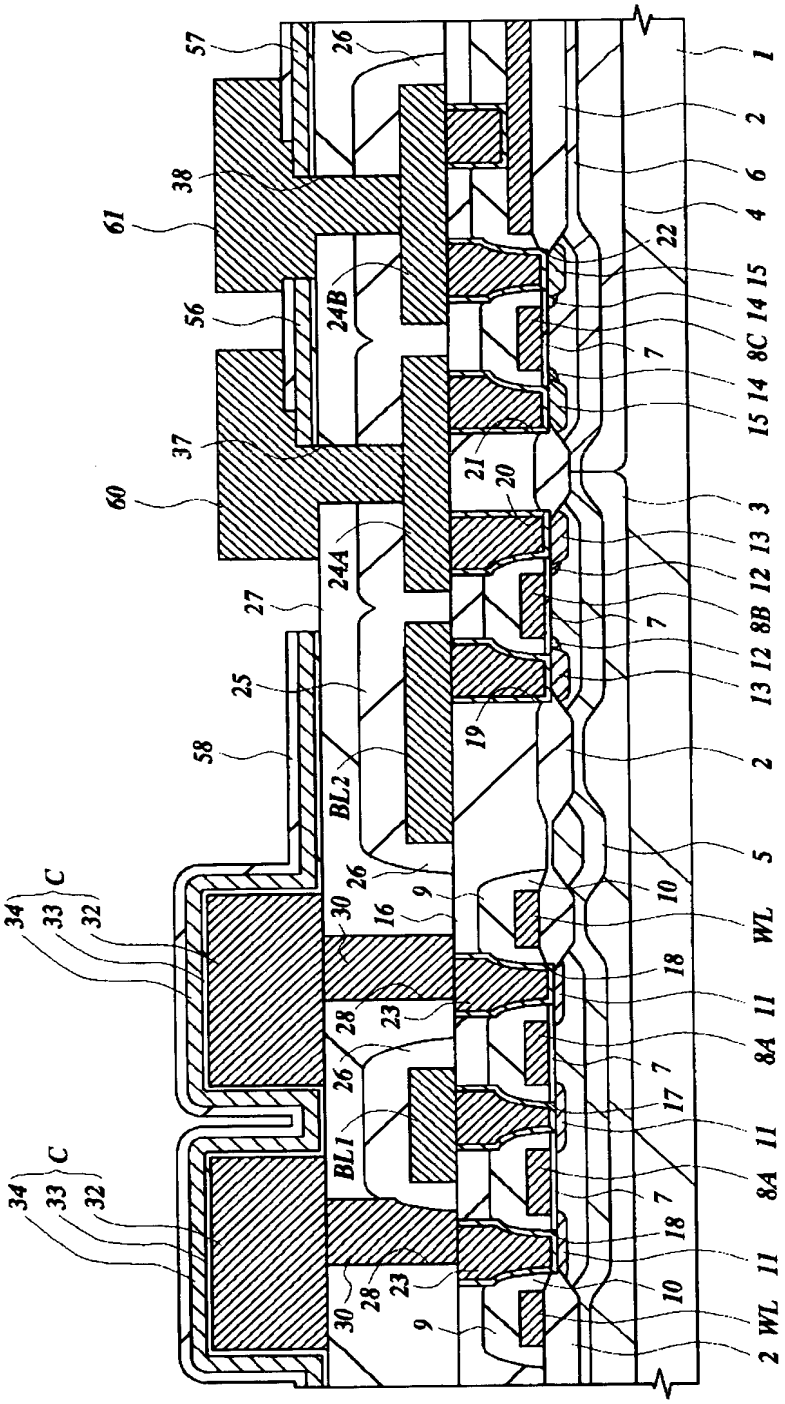
【図４３】

図 43


58
57
26
38
1
2
6
4
22
15
14
8C
7
58
56
25
24B
59
37
21
20
27
24A
3
13
12
8B
7
58
BL2
19
2
5
10
WL
18
11
8A
7
17
11
8A
7
18
10
11
WL
2
C
34
33
32
59
BL1
26
28
23
30
16
9

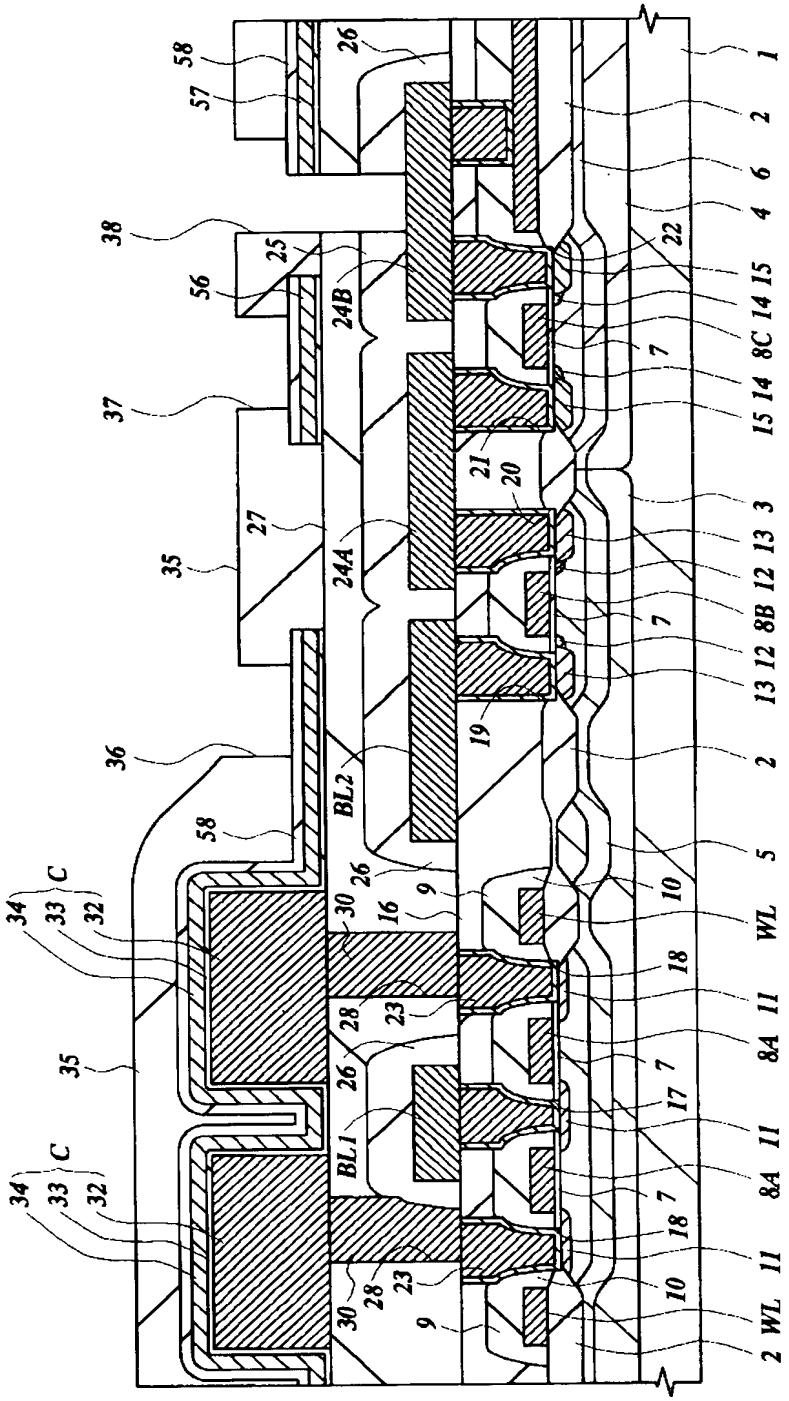
【図４４】

図 44


57
26
1
38
2
61
6
4
56
22
24B
15
14
7
8C
14
15
37
21
20
60
3
24A
13
12
27
7
8B
12
13
25
19
58
2
BL2
5
26
9
10
C
34
33
32
30
16
WL
18
28
23
11
26
8A
7
17
BL1
11
C
34
33
32
8A
7
18
28
23
11
10
30
9
WL
2

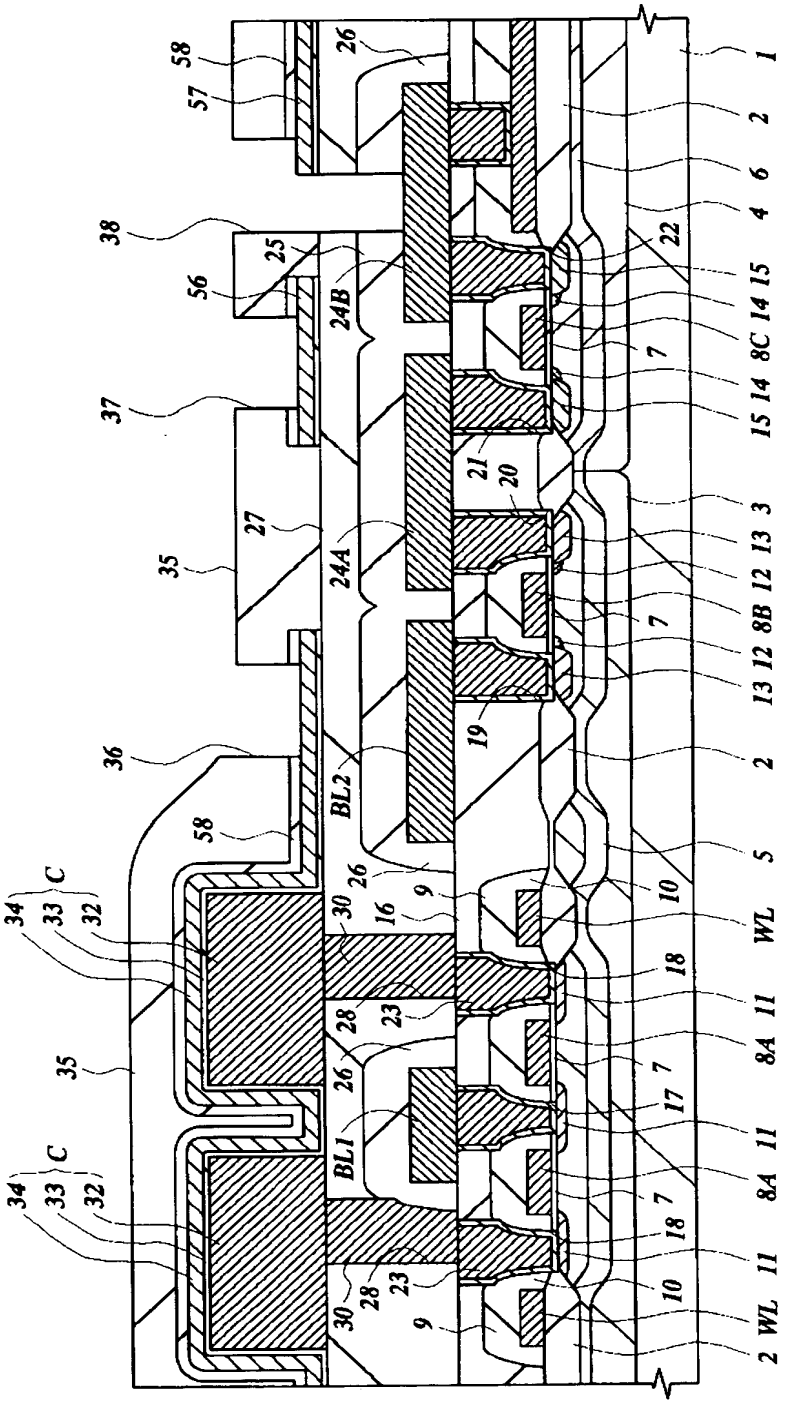
【図４５】

図 45


58
57
26
1
38
25
22
2
56
24B
6
4
37
21
20
7
15
14
8C
14
15
27
3
35
24A
13
12
8B
12
13
7
19
2
36
BL2
58
5
C
34
33
32
26
9
10
30
16
WL
18
28
23
11
8A
35
26
7
17
C
34
33
32
BL1
11
8A
7
18
28
23
10
11
30
9
WL
2

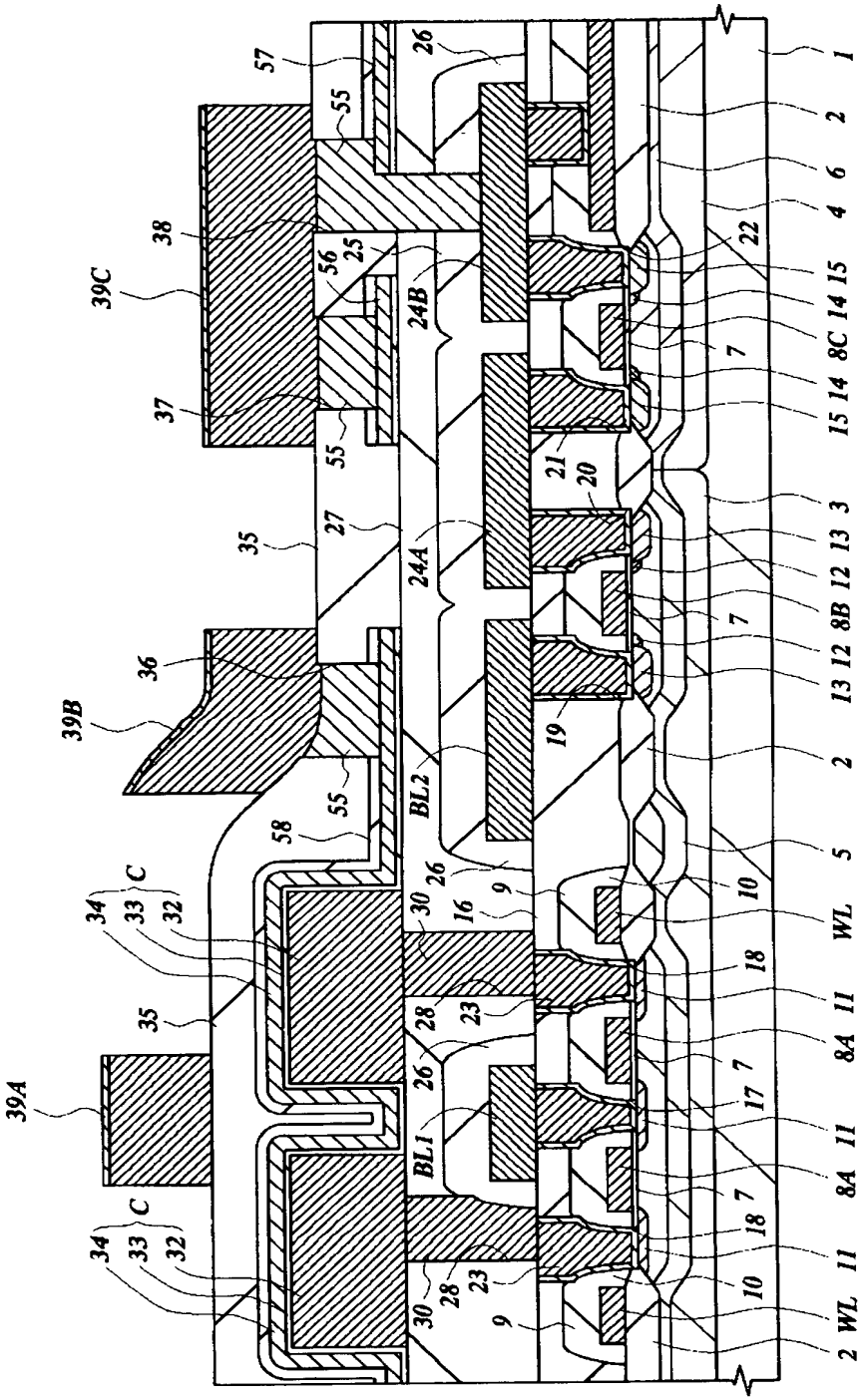
【図４６】

図 46


58
57
26
1
2
6
4
38
25
22
56
24B
15
14
8C
7
37
15
14
21
20
3
27
13
35
24A
12
8B
7
13
12
19
2
36
BL2
58
5
26
9
10
C
34
33
32
30
16
WL
18
28
23
11
8A
35
26
7
17
BL1
11
8A
7
18
28
23
10
30
9
11
WL
2

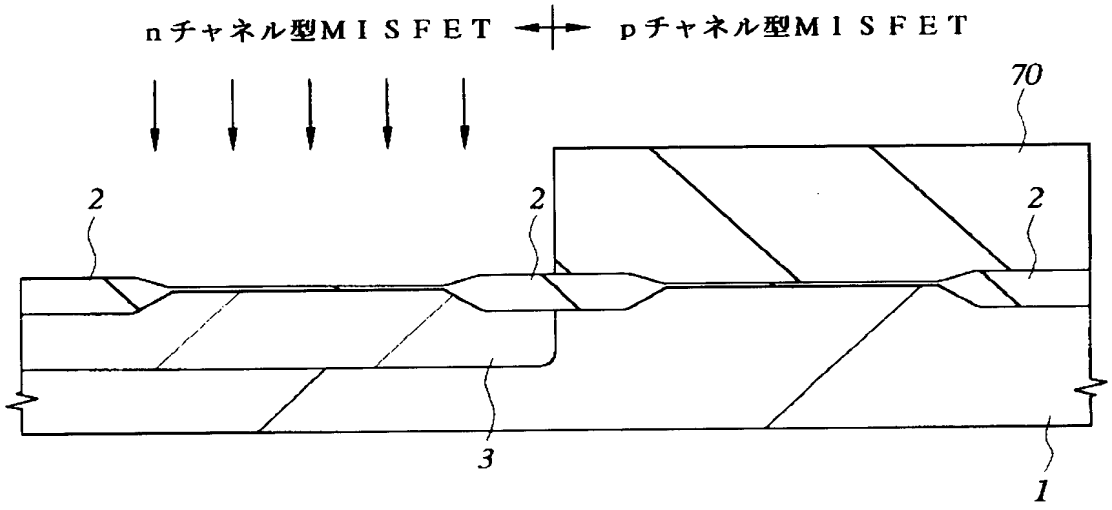
【図４７】

図 47


57
55
26
1
38
56
25
22
39C
24B
37
55
21
20
35
27
24A
36
39B
55
BL2
19
58
55
26
34
33
32
C
30
16
9
10
35
28
23
18
26
39A
BL1
17
34
33
32
C
28
23
18
30
9
10
WL
WL
11
8A
7
2
5
13
12
8B
3
15
14
8C
4
6
2

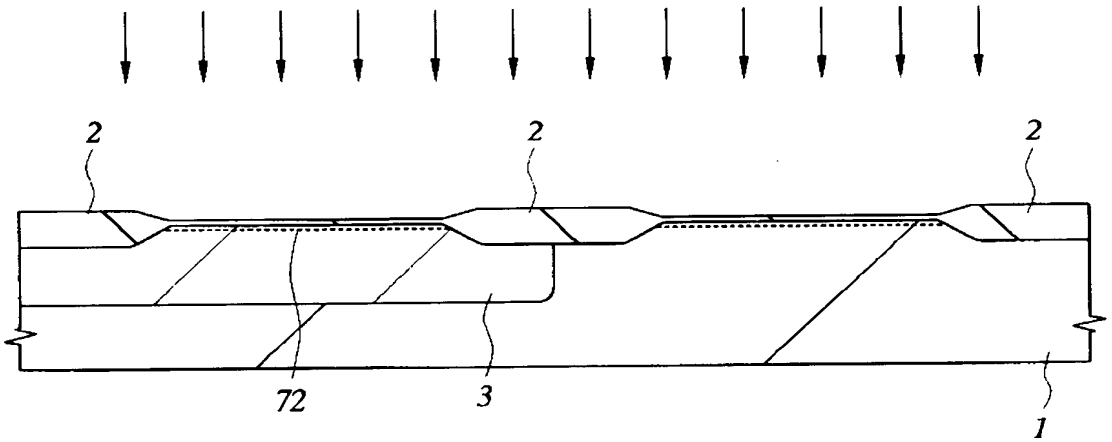
【図４８】

図 48



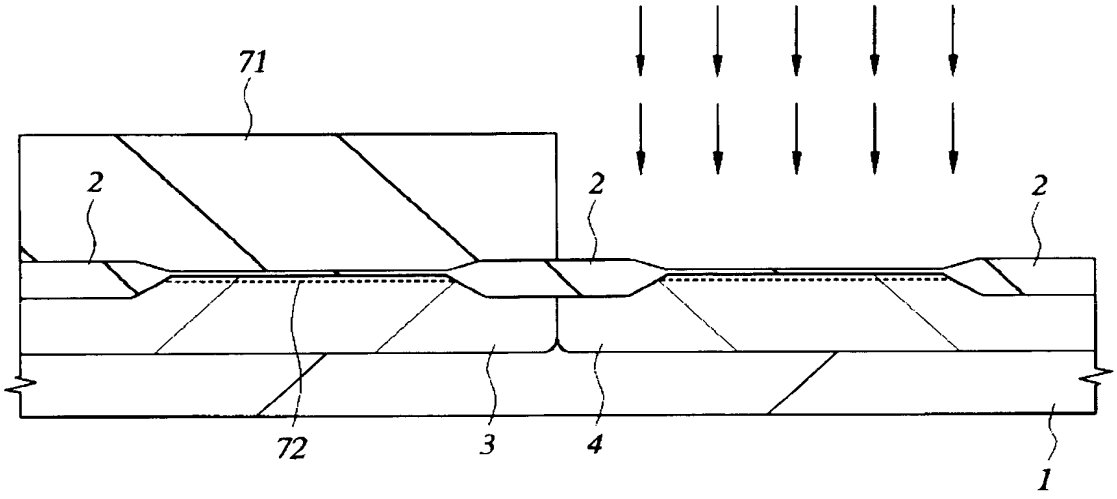
【図４９】

図 49



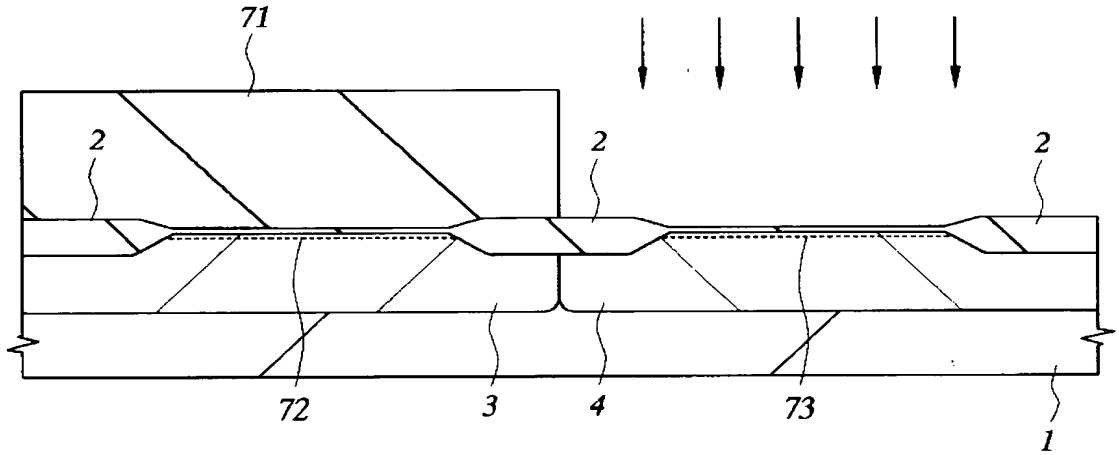
【図５０】

図 50



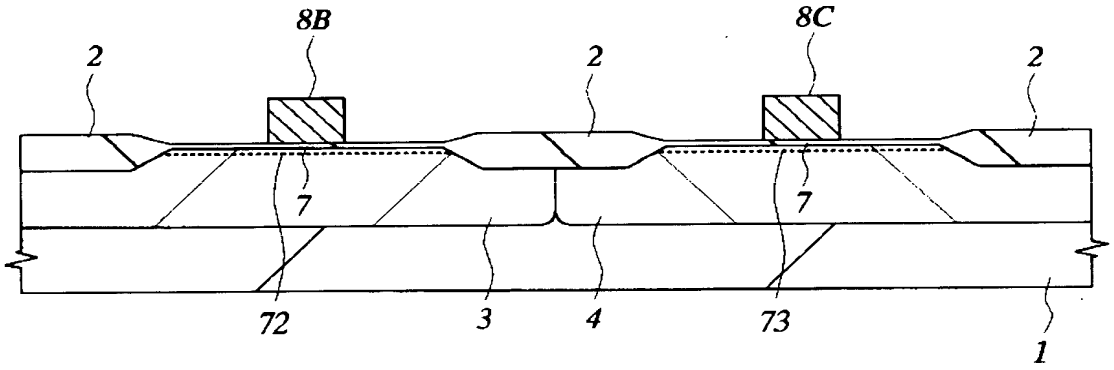
【図５１】

図 51



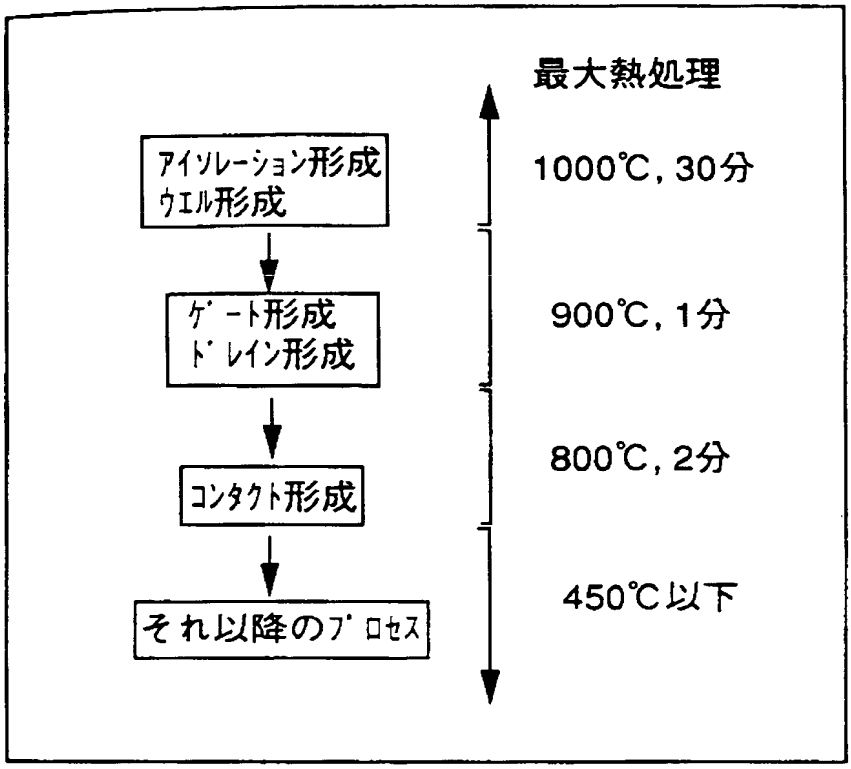
【図５２】

図　52



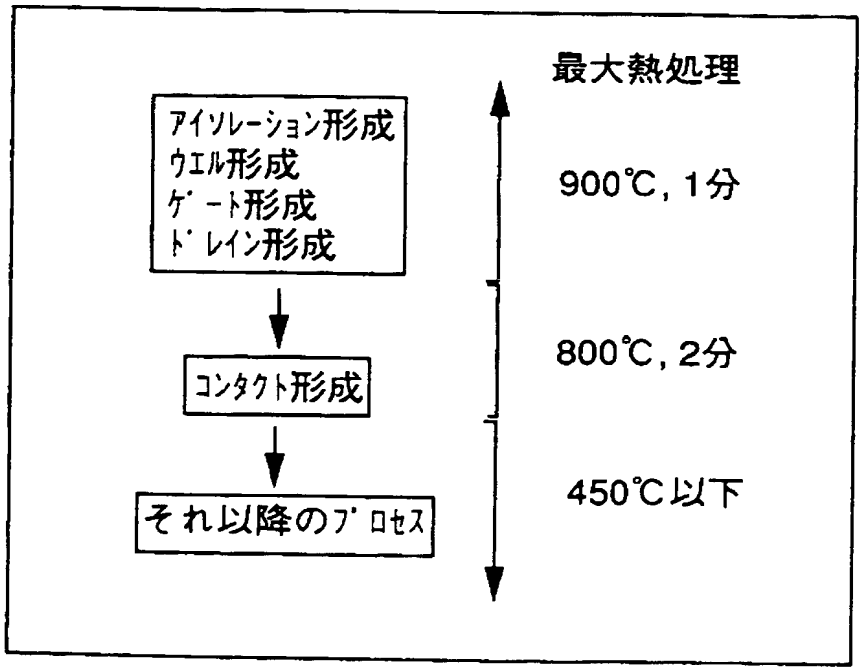
【図５３】

図　53


最大熱処理
アイソレーション形成
ウエル形成
1000℃, 30分
ゲート形成
ドレイン形成
900℃, 1分
コンタクト形成
800℃, 2分
それ以降のプロセス
450℃以下

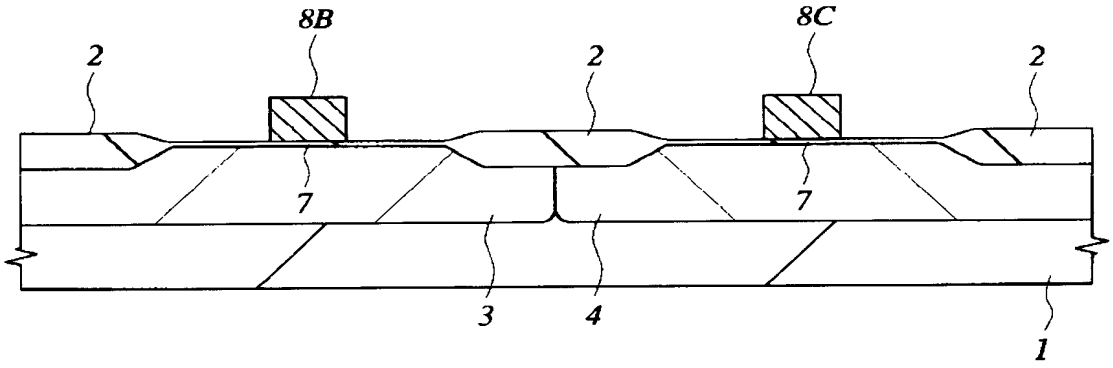
【図５４】

図　54


最大熱処理
アイソレーション形成
ウエル形成
ゲート形成
ドレイン形成
900℃，1分
コンタクト形成
800℃，2分
それ以降のプロセス
450℃以下

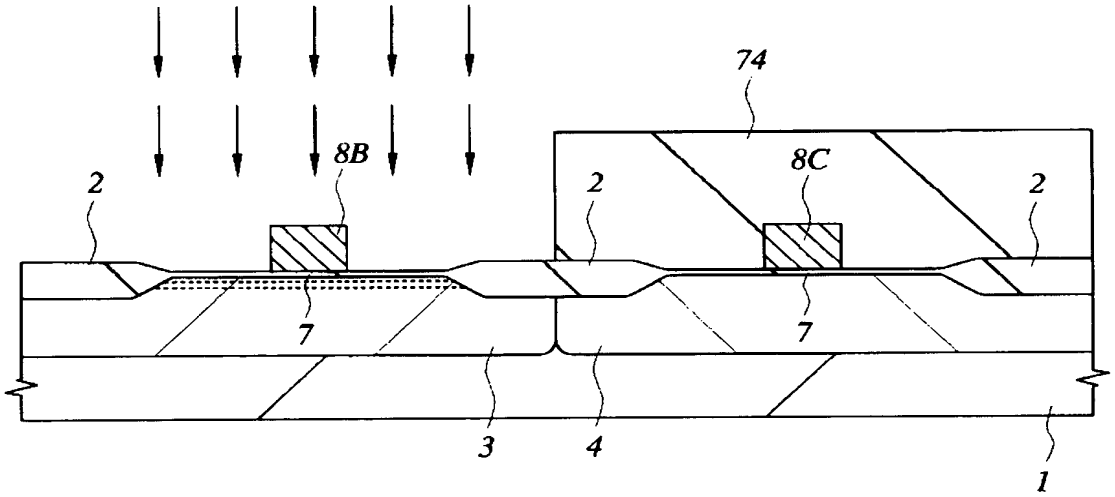
【図５５】

図　55



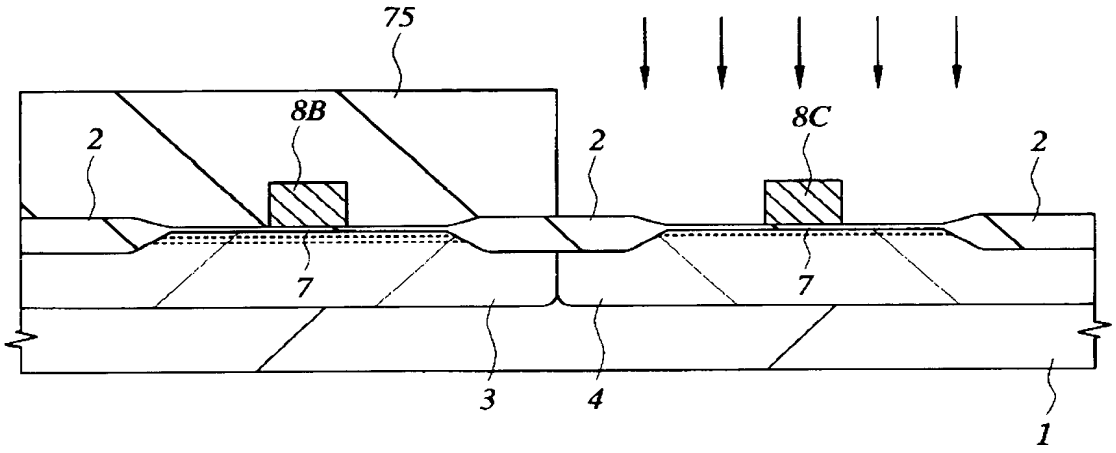
【図５６】

図　56



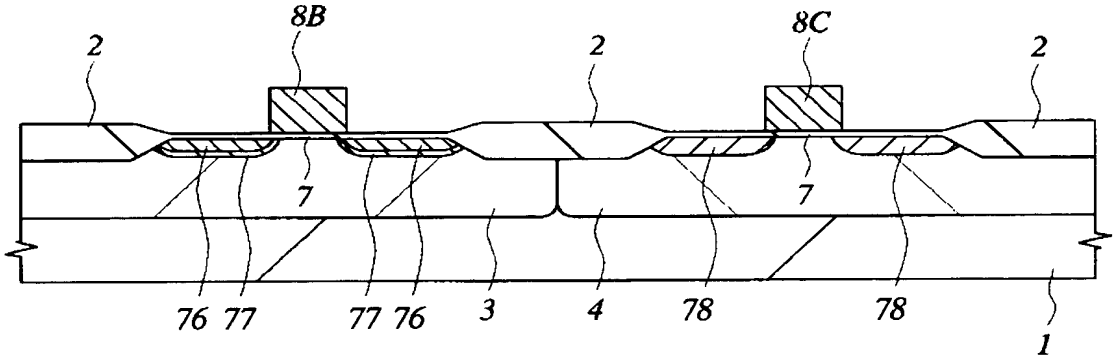
【図５７】

図　57



【図５８】

図　58



【書類名】　　要約書

【要約】

【課題】　ＭＩＳＦＥＴを有する半導体集積回路装置の製造プロセスにおける熱処理工程を低減する。

【解決手段】　ＭＩＳＦＥＴを形成した後の工程で半導体基板上に堆積するすべての導電膜を５００℃以下の温度で堆積する。また、ＭＩＳＦＥＴを形成した後の工程で半導体基板上に堆積するすべての絶縁膜を５００℃以下の温度で堆積する。

【選択図】　　図５３